

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Hideki NARUOKA

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: SEMICONDUCTOR WAFER INSPECTING METHOD

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number \_\_\_\_\_, filed \_\_\_\_\_, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):  
Application No. Date Filed

- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

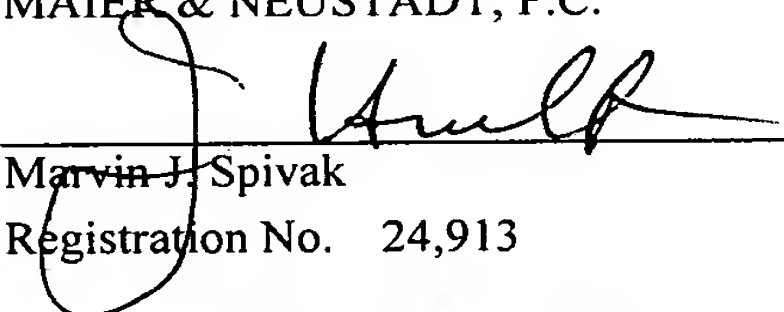
| <u>COUNTRY</u> | <u>APPLICATION NUMBER</u> | <u>MONTH/DAY/YEAR</u> |
|----------------|---------------------------|-----------------------|
| Japan          | 2002-293613               | October 7, 2002       |

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. \_\_\_\_\_ filed \_\_\_\_\_
- ☐ were submitted to the International Bureau in PCT Application Number \_\_\_\_\_  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. \_\_\_\_\_ filed \_\_\_\_\_; and
- ☐ (B) Application Serial No.(s) \_\_\_\_\_  
☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

  
Marvin J. Spivak

Registration No. 24,913

James D. Hamilton  
Registration No. 28,421



22850



日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日  
Date of Application:

2002年10月 7日

出 願 番 号  
Application Number:

特願2002-293613

[ ST.10/C ]:

[ JP 2002-293613 ]

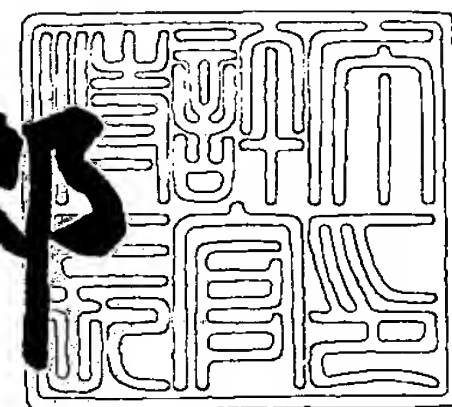
出 願 人  
Applicant(s):

三菱電機株式会社

2002年11月 5日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2002-3086974



【書類名】 特許願

【整理番号】 540780JP01

【提出日】 平成14年10月 7日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/66

【発明者】

    【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会  
社内

    【氏名】 成岡 英樹

【特許出願人】

    【識別番号】 000006013

    【氏名又は名称】 三菱電機株式会社

【代理人】

    【識別番号】 100089233

    【弁理士】

    【氏名又は名称】 吉田 茂明

【選任した代理人】

    【識別番号】 100088672

    【弁理士】

    【氏名又は名称】 吉竹 英俊

【選任した代理人】

    【識別番号】 100088845

    【弁理士】

    【氏名又は名称】 有田 貴弘

【手数料の表示】

    【予納台帳番号】 012852

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1



|           |     |   |
|-----------|-----|---|
| 【物件名】     | 図面  | 1 |
| 【物件名】     | 要約書 | 1 |
| 【プルーフの要否】 | 要   |   |

【書類名】 明細書

【発明の名称】 半導体ウェーハの検査方法

【特許請求の範囲】

【請求項 1】 (a)半導体ウェーハに対し所定の検査対象項目を含む検査を行い、少なくとも検査規格を満足しない規格外部の前記半導体ウェーハ上の位置が認識可能な検査情報を得るステップと、

(b)前記半導体ウェーハに対応する仮想ウェーハを所定の分割条件で仮想的に分割することにより、複数の仮想分割単位セルが仮想的に配置された仮想分割ウェーハを生成するステップと、

(c)前記検査情報を前記仮想分割ウェーハ上で照合することにより、前記複数の仮想分割単位セルのうち前記規格外部を含む規格外セル及び前記規格外部を含まない規格内セルの数を求めるステップと、

(d)前記複数の仮想分割単位セルの総数に対する前記規格内セルの数の比である使用可能セル率を求めるステップと、  
を備える半導体ウェーハの検査方法。

【請求項 2】 請求項 1 記載の半導体ウェーハの検査方法であって、  
前記所定の検査対象項目は複数種の検査対象項目を含み、  
前記検査情報は複数種の検査対象項目それぞれの前記規格外部の前記半導体ウェーハ上の位置が認識可能な情報を含む、  
半導体ウェーハの検査方法。

【請求項 3】 請求項 1 あるいは請求項 2 記載の半導体ウェーハの検査方法であって、  
前記所定の分割条件は複数種の分割条件を含み、  
前記仮想分割ウェーハは、前記複数種の分割条件で仮想的に分割される複数種の仮想分割ウェーハを含み、  
前記ステップ(c)は、  
前記検査情報を前記複数種の仮想分割ウェーハそれぞれ上で照合し、前記複数種の仮想分割ウェーハそれぞれにおける前記規格外セル及び前記規格内セルの数を求めるステップを含み、

前記ステップ(d)は、  
前記複数種の仮想分割ウェーハそれぞれにおける前記使用可能セル率を求める  
ステップを含み、  
前記半導体ウェーハの検査方法は、  
(e)前記複数種の仮想分割ウェーハそれぞれにおける前記使用可能セル率に基づき、前記半導体ウェーハの良否を総合的に判定するステップを、  
さらに備える、  
半導体ウェーハの検査方法。

【請求項4】 請求項1ないし請求項3のうち、いずれか1項に記載の半導体ウェーハの検査方法であって、  
前記半導体ウェーハはS O I構造のウェーハであるS O Iウェーハを含み、  
前記所定の検査対象項目は前記S O IウェーハのS O I層の膜厚を含む、  
半導体ウェーハの検査方法。

【請求項5】 請求項1ないし請求項3のうち、いずれか1項に記載の半導体ウェーハの検査方法であって、  
前記半導体ウェーハはS O I構造のウェーハであるS O Iウェーハを含み、  
前記所定の検査対象項目は前記S O Iウェーハの埋込絶縁層の膜厚を含む、  
半導体ウェーハの検査方法。

【請求項6】 請求項1ないし請求項3のうち、いずれか1項に記載の半導体ウェーハの検査方法であって、  
前記半導体ウェーハはS O I構造のウェーハであるS O Iウェーハを含み、  
前記所定の検査対象項目は前記S O IウェーハのS O I層の損失あるいは前記S O I層及び埋込絶縁層の損失を含む、  
半導体ウェーハの検査方法。

【請求項7】 請求項1ないし請求項3のうち、いずれか1項に記載の半導体ウェーハの検査方法であって、  
前記半導体ウェーハはエピタキシャルウェーハを含み、  
前記所定の検査対象項目は前記エピタキシャルウェーハのヒロック状の欠陥を含む、

半導体ウェーハの検査方法。

【請求項 8】 請求項 1 ないし請求項 3 のうち、いずれか 1 項に記載の半導体ウェーハの検査方法であって、

前記所定の検査対象項目は C O P (Crystal Originated Particle) を含む、  
半導体ウェーハの検査方法。

【請求項 9】 請求項 1 ないし請求項 8 のうち、いずれか 1 項に記載の半導体ウェーハの検査方法であって、

前記所定の分割条件は前記半導体ウェーハ上に実際に形成される実デバイスの形状及びサイズに基づく条件を含む、  
半導体ウェーハの検査方法。

【請求項 1 0】 請求項 1 ないし請求項 8 のうち、いずれか 1 項に記載の半導体ウェーハの検査方法であって、

前記仮想ウェーハは第 1 及び第 2 の検査対象領域を含み、

前記複数の仮想分割単位セルは前記第 1 及び第 2 の検査対象領域内にそれぞれ存在する複数の第 1 及び第 2 仮想分割単位セルを含み、

前記検査規格は互いに異なる第 1 及び第 2 の検査規格を含み、

前記規格外部は第 1 及び第 2 の規格外部を含み、

前記規格内セルは第 1 及び第 2 の規格内セルを含み、

前記規格外セルは第 1 及び第 2 の規格外セルを含む、

前記検査情報は、前記第 1 の検査対象領域に対して前記第 1 の検査規格に満足しない前記第 1 の規格外部、及び前記第 2 の検査対象領域に対して前記第 2 の検査規格に満足しない前記第 2 の規格外部を認識可能な情報を含み、

前記ステップ(c)は、

前記複数の第 1 仮想分割単位セルのうち前記第 1 の規格外部を含む前記第 1 の規格外セル及び前記第 1 の規格外部を含まない前記第 1 の規格内セルの数を求めるとともに、前記複数の第 2 仮想分割単位セルのうち前記第 2 の規格外部を含む前記第 2 の規格外セル及び前記第 2 の規格外部を含まない前記第 2 の規格内セルの数を求めるステップを含む、

半導体ウェーハの検査方法。

【請求項 1 1】 請求項 1 0 記載の半導体ウェーハの検査方法であって、  
前記第 1 の検査対象領域はメモリセル領域を含み、  
前記第 2 の検査対象領域は周辺領域を含む、  
半導体ウェーハの検査方法。

【請求項 1 2】 請求項 1 ないし請求項 1 1 のうち、いずれか 1 項に記載の  
半導体ウェーハの検査方法であって、

(f)前記ステップ(d)で得た使用可能セル率に基づき、前記半導体ウェーハの価値判断を行うステップ、  
をさらに備える半導体ウェーハの検査方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

この発明は半導体ウェーハ等の半導体基板に発生する欠陥等に基づき半導体ウェーハの良否を検査する半導体ウェーハの検査方法に関する。

【 0 0 0 2 】

【従来の技術】

半導体デバイスは半導体ウェーハと呼ばれる円盤状の半導体基板上に形成される。この半導体ウェーハ上のゴミや、半導体ウェーハの欠陥、膜厚、抵抗等の面内の品質バラツキは、形成される半導体デバイスの特性に悪影響を及ぼし、歩留まり低下の原因となるため、半導体ウェーハの出荷規格は非常に厳しく、かつ半導体ウェーハ全面で規格を満足するかどうかを検査によって判定し、合格品のみ出荷している。

【 0 0 0 3 】

しかしながら、デバイスの微細化に伴い、半導体ウェーハに求められる品質レベルが向上すると、大量の不合格品が発生する。さらに、半導体ウェーハはその口径を拡大させており、品質を保証する面積も増大するため、不合格率はさらに増大し、半導体ウェーハのコストアップにつながり、さらに環境、省エネルギーからの観点からも無駄が多い。

【 0 0 0 4 】



半導体ウェーハの良否判断を行う従来の方法は、例えば特許文献 1 において開示されている。この方法は、半導体ウェーハ上に存在する欠陥の個数を欠陥数として検出するとともに、複数のチップにおいて欠陥の存在するチップ数として検出し、当該欠陥数及びチップ数を予め設定された基準欠陥チップ数及び基準欠陥数と比較することにより、半導体ウェーハの良否判断を行っている。この際、複数のチップとして仮想チップを設定する場合もあった。

【 0 0 0 5 】

【特許文献 1】 特開平 1 2 - 1 2 6 7 3 6 号公報

【 0 0 0 6 】

【発明が解決しようとする課題】

従来の半導体ウェーハの良否判定は以上のように行われおり、厳しすぎる条件で検査を行う傾向が強く、本来は正常な半導体ウェーハまで不良と判断してしまうため、半導体ウェーハを有効利用できていないという問題点があった。

【 0 0 0 7 】

この発明は上記問題点を解決するためになされたもので、より正確な検査が可能な半導体ウェーハの検査方法を得ることを目的とする。

【 0 0 0 8 】

【課題を解決するための手段】

この発明に係る請求項 1 記載の半導体ウェーハの検査方法は、(a)半導体ウェーハに対し所定の検査対象項目を含む検査を行い、少なくとも検査規格を満足しない規格外部の前記半導体ウェーハ上の位置が認識可能な検査情報を得るステップと、(b)前記半導体ウェーハに対応する仮想ウェーハを所定の分割条件で仮想的に分割することにより、複数の仮想分割単位セルが仮想的に配置された仮想分割ウェーハを生成するステップと、(c)前記検査情報を前記仮想分割ウェーハ上で照合することにより、前記複数の仮想分割単位セルのうち前記規格外部を含む規格外セル及び前記規格外部を含まない規格内セルの数を求めるステップと、(d)前記複数の仮想分割単位セルの総数に対する前記規格内セルの数の比である使用可能セル率を求めるステップとを備えている。

【 0 0 0 9 】

## 【発明の実施の形態】

## ＜実施の形態 1＞

図 1 はこの発明の実施の形態 1 である半導体ウェーハの検査方法の処理手順をデータの流れと共に模式的に示す説明図である。

## 【0010】

同図を参照して、ステップ S 1 で、半導体ウェーハ 1 に対して検査 A に基づく検査を行う。検査 A は所定の検査対象項目（対象品質項目）についての検査である。

## 【0011】

続いて、ステップ S 2 で、検査 A の検査結果に基づき規格を満足するか否かの良否判定を行い、検査規格を満たさなかった箇所を規格外部 A として検出する。そして、規格外部 A に関する検査情報（検査工程、（半導体ウェーハ 1 上の位置を示す）座標、サイズ、画像、含有不純物等）が検査結果情報データベース D 3 に付与されることにより格納される。

## 【0012】

そして、ステップ S 3, S 4 において、ステップ S 1, S 2 で示した検査 A と同様にして、検査 A とは検査対象項目が異なる検査 B が実行され、規格外部 B に関する検査情報が検査結果情報データベース D 3 に格納される。

## 【0013】

さらに、ステップ S 5, S 6 において、ステップ S 1, S 2 で示した検査 A と同様にして、検査 A 及び検査 B とは検査対象項目が異なる検査 C が実行され、規格外部 C に関する検査情報が検査結果情報データベース D 3 に格納される。

## 【0014】

図 2 はステップ S 1 ～ S 6 の実行後における検査結果情報データベース D 3 の格納データに基づく半導体ウェーハの規格外部状況（マップ）を示す説明図である。同図に示すように、半導体ウェーハ 1 上に規格外部 A、規格外部 B 及び規格外部 C とされた欠陥 2 A, 欠陥 2 B 及び欠陥 2 C が示される。このように、検査結果情報データベース D 3 に格納された規格外部 A ～ C に関する検査情報を再構築することにより、半導体ウェーハ 1 のどの位置にどのような規格外部が存在す

るかを示す統合した情報を得ることができる。すなわち、検査結果情報データベース D 3 は、精度の高い良否判定が可能な情報となっている。

#### 【 0 0 1 5 】

図 1 に戻って、ステップ S 1 1 において、仮想分割単位セルのセルサイズ及び形状等を規定する分割セルサイズデータ D 1 及び仮想分割単位セルの半導体ウェーハ 1 上の配置等を規定する分割セル配置データ D 2 に基づき、半導体ウェーハに相当する仮想ウェーハが所定サイズ及び形状の複数の仮想分割単位セルによって仮想的に分割された仮想分割ウェーハ 2 0 を生成する。すなわち、ステップ S 1 1 は、分割条件を規定する分割セルサイズデータ D 1 及び分割セル配置データ D 2 に基づき仮想分割ウェーハ 2 0 を生成する。

#### 【 0 0 1 6 】

図 3 は仮想分割ウェーハの一例を示す説明図である。同図に示すように、仮想ウェーハ 1 0 を配置し、仮想ウェーハ 1 0 を仮想分割線 1 1 によって矩形状のセルに分割し、これら分割セルのうち、全領域が仮想ウェーハ 1 0 上に存在するセルを仮想分割単位セル 1 2 とする。この際、仮想分割単位セル 1 2 を一部領域が仮想ウェーハ 1 0 上に存在するセルとしても良い。

#### 【 0 0 1 7 】

図 3 の例では、全領域が仮想ウェーハ上に存在する仮想分割単位セル 1 2 の総数は 6 6 個となり、一部領域が仮想ウェーハ上に存在する仮想分割単位セルの総数は 1 1 2 個となる。

#### 【 0 0 1 8 】

図 3 に示すように、X、Y の仮想座標軸を設けることにより、各仮想分割単位セルの座標を表すこともできる。なお、本実施の形態では図 3 の実線で示す通り、全領域が仮想ウェーハ 1 0 上に存在するセルを仮想分割単位セル 1 2 として以降説明する。

#### 【 0 0 1 9 】

図 1 に戻って、ステップ S 1 2 において、検査結果情報データベース D 3 を仮想分割ウェーハ 2 0 上で照合することにより、規格外部含有仮想分割セル数 C 0 を算出する。

## 【 0 0 2 0 】

図 4 は規格外部含有仮想分割セル数（以下、「規格外セル」と略する場合あり）の算出内容を示す説明図である。同図に示すように、半導体ウェーハ 1 上の規格外部とみなされた欠陥を仮想分割ウェーハ 2 0 上に位置ズレなく対応づける。その結果、欠陥 2 A ～ 2 C のいずれかを内部に存在する仮想分割単位セル 1 2 を規格外セル 1 2 d と決定し、これら規格外セル 1 2 d の数が規格外セル数 C 0 となる。一方、欠陥 2 A ～ 2 C のいずれをも内部に存在しない仮想分割単位セル 1 2 を規格内セル 1 2 g と決定し、これら規格内セル 1 2 g の数が規格内セル数 C 1 となる。

## 【 0 0 2 1 】

図 1 に戻って、ステップ S 1 3 において、使用可能領域率 P U A （Percent Usable Area）を求める。すなわち、全仮想分割単位セル数 C 1 0 と規格内セル数 C 1 とにより、使用可能領域率 P U A （％）（＝（C 1 / C 1 0）＊ 1 0 0）を求める。この使用可能領域率 P U A によって、全仮想分割単位セル内で規格を満足している仮想分割単位セル 1 2 の割合（使用可能セル率）を数値として認識することができる。

## 【 0 0 2 2 】

例えば、図 4 の例では、全仮想分割単位セル数 C 1 0 は 6 6 個、規格内セル数 C 1 は 6 3 個、規格外セル数 C 0 は 3 個であり、使用可能領域率 P U A は 9 4 . 4 5 % （小数点第 3 位を四捨五入）となる。

## 【 0 0 2 3 】

本実施の形態では、使用可能領域率 P U A を仮想分割単位セル 1 2 単位で決定しているため、単純に欠陥数により良否を判定する場合に比べて精度の高い良否判定が行える。

## 【 0 0 2 4 】

例えば、「欠陥数が 2 個以下であること」を規格とした場合、欠陥が 3 個以上存在した場合は常に規格外となり不良品扱いとなる。すなわち、欠陥の発生位置が全く考慮されていない。

## 【 0 0 2 5 】

しかしながら、本実施の形態は欠陥が半導体ウェーハ上に散在した場合と一つの仮想分割単位セル 1 2 に集中した場合とで使用可能領域率 P U A が異なる値となり、規格外部の欠陥の発生位置を考慮した（「欠陥が 3 個以上発生しても実質的に欠陥数が 2 個以下とみなしてよい」等）良否結果を数値として得ることができる。すなわち、本来は良品扱いすべきである半導体ウェーハを確実に良品と判定することができる。

## 【 0 0 2 6 】

このように、半導体製品サイズ等に相当する仮想分割単位セル 1 2 を品質規格の対象単位とした使用可能領域率 P U A を用いることにより、良否判定精度の向上を図ることができ、その結果、半導体ウェーハの有効利用を図ることができる。

## 【 0 0 2 7 】

加えて、使用可能領域率 P U A は、全仮想分割単位セル数 C 1 0 に対する規格内セル数 C 1 の割合であるため、半導体ウェーハのサイズ及び全仮想分割単位セル数 C 1 0 等の変更によっても、精度に変化は生じることはなく、同様の良否判定精度を維持することができる。

## 【 0 0 2 8 】

図 1 に戻って、ステップ S 7 において、ステップ S 1 3 で得た使用可能領域率 P U A に基づき良否判定を行い、最終的な出荷の判断を行う。この際、使用可能領域率 P U A に基づき価格設定を行うことにより、実デバイスの規格外部の影響を加味した価格設定が可能となる。

## 【 0 0 2 9 】

## &lt; 実施の形態 2 &gt;

図 5 はこの発明の実施の形態 2 である半導体ウェーハの検査方法の処理手順をデータの流れと共に模式的に示す説明図である。但し、ステップ S 1 ～ S 7 の処理は基本的に、図 1 で示した実施の形態 1 と同様であるため、図示を省略している。以下、同図を参照して、実施の形態 2 の処理手順を説明する。

## 【 0 0 3 0 】

ステップ S 1 1 A において、図 1 のステップ S 1 1 と同様に、品種 A の分割セ



ルサイズデータ D 1 A 及び分割セル配置データ D 2 A に基づき、半導体ウェーハに相当する仮想ウェーハを所定サイズ及び形状のセル（仮想分割単位セル 1 2 A）で仮想的に分割した仮想分割ウェーハ 2 0 A を生成する。

#### 【 0 0 3 1 】

ステップ S 1 1 A と同様に、ステップ S 1 1 B において、品種 B の分割セルサイズデータ D 1 B 及び分割セル配置データ D 2 B に基づき、半導体ウェーハに相当する仮想ウェーハを所定サイズ及び形状のセル（仮想分割単位セル 1 2 B）で仮想的に分割した仮想分割ウェーハ 2 0 B を生成する。

#### 【 0 0 3 2 】

ステップ S 1 1 A と同様に、ステップ S 1 1 C において、品種 C の分割セルサイズデータ D 1 C 及び分割セル配置データ D 2 C に基づき、半導体ウェーハに相当する仮想ウェーハを所定サイズ及び形状のセル（仮想分割単位セル 1 2 C）で仮想的に分割した仮想分割ウェーハ 2 0 C を生成する。

#### 【 0 0 3 3 】

図 6 は品種 A の仮想分割ウェーハ 2 0 A を示す説明図である。同図に示すように、仮想分割ウェーハ 2 0 A は、仮想ウェーハ 1 0 が仮想分割線 1 1 A に基づき仮想分割単位セル 1 2 A に分割されている。この仮想分割単位セル 1 2 A の総数（＝ 6 6）が全仮想分割単位セル数 C 1 0 A となる。

#### 【 0 0 3 4 】

図 7 は品種 B の仮想分割ウェーハ 2 0 B を示す説明図である。同図に示すように、仮想分割ウェーハ 2 0 B は、仮想ウェーハ 1 0 が仮想分割線 1 1 B に基づき仮想分割単位セル 1 2 B に分割されている。この仮想分割単位セル 1 2 B の総数（＝ 4 0）が全仮想分割単位セル数 C 1 0 B となる。

#### 【 0 0 3 5 】

図 8 は品種 C の仮想分割ウェーハ 2 0 C を示す説明図である。同図に示すように、仮想分割ウェーハ 2 0 C は、仮想ウェーハ 1 0 が仮想分割線 1 1 C に基づき仮想分割単位セル 1 2 C に分割されている。この仮想分割単位セル 1 2 C の総数（＝ 1 2 0）が全仮想分割単位セル数 C 1 0 C となる。なお、仮想分割単位セル 1 2 A ～ 1 2 C 間のセルサイズは品種 C，品種 A，品種 B の順に大きく設定され

ている。

【 0 0 3 6 】

図 5 に戻って、ステップ S 1 2 A において、図 1 のステップ S 1 2 と同様、検査結果情報データベース D 3 を仮想分割ウェーハ 2 0 A 上で照合することにより、規格外セル数 C 0 A 及び規格内セル数 C 1 A を算出する。

【 0 0 3 7 】

同様に、ステップ S 1 2 B において、検査結果情報データベース D 3 を仮想分割ウェーハ 2 0 B 上で照合することにより、規格外セル数 C 0 B 及び規格内セル数 C 1 B を算出する。

【 0 0 3 8 】

同様に、ステップ S 1 2 C において、検査結果情報データベース D 3 を仮想分割ウェーハ 2 0 C 上で照合することにより、規格外セル数 C 0 C 及び規格内セル数 C 1 C を算出する。

【 0 0 3 9 】

ステップ S 1 2 1 A に続いて、ステップ S 1 3 A において、全仮想分割単位セル数 C 1 0 A と規格内セル数 C 1 A とにより、使用可能領域率  $P U A - A (\%)$  ( $= (C 1 A / C 1 0 A) * 1 0 0$ ) を求める。

【 0 0 4 0 】

同様に、ステップ S 1 3 B において、全仮想分割単位セル数 C 1 0 B と規格内セル数 C 1 B とにより、使用可能領域率  $P U A - B (\%)$  ( $= (C 1 B / C 1 0 B) * 1 0 0$ ) を求める。

【 0 0 4 1 】

同様に、ステップ S 1 3 C において、全仮想分割単位セル数 C 1 0 C と規格内セル数 C 1 C とにより、使用可能領域率  $P U A - C (\%)$  ( $= (C 1 C / C 1 0 C) * 1 0 0$ ) を求める。

【 0 0 4 2 】

その後、ステップ S 1 4 において、使用可能領域率  $P U A - A \sim C$  に基づき半導体ウェーハの用途を決定する。以下、ステップ S 1 4 の処理内容を実例を挙げて説明する。

## 【 0 0 4 3 】

図 9 ～ 図 1 1 はそれぞれ検査結果情報データベース D 3 として格納された検査済み半導体ウェーハの欠陥状況をウェーハマップ状に示した模式図である。図 9 で示す半導体ウェーハ 2 1 は欠陥無し、図 1 0 で示す半導体ウェーハ 2 2 は 3 個の欠陥が検出され、図 1 1 で示す半導体ウェーハ 2 3 は 6 個の欠陥が検出された例を示している。

## 【 0 0 4 4 】

図 9 で示した半導体ウェーハ 2 1 に対し、ステップ S 1 2 A ～ S 1 2 C 及び S 1 3 A ～ S 1 3 C をそれぞれ実行することによって求められた使用可能領域率  $P_{UA-A} \sim P_{UA-C}$  は全て 1 0 0 % となる。

## 【 0 0 4 5 】

図 1 2 ～ 図 1 4 は、図 1 0 で示した半導体ウェーハ 2 2 に対する品種 A ～ 品種 C それぞれの規格外セル数の算出内容を示す模式図である。

## 【 0 0 4 6 】

図 1 2 に示すように、欠陥のいずれかを内部に存在する仮想分割単位セル 1 2 A を規格外セル 1 2 A d と決定し、これら規格外セル 1 2 A d の数 ( $= 3$ ) が規格外セル数  $C_{0A}$  となる。一方、欠陥のいずれをも内部に存在しない仮想分割単位セル 1 2 A を規格内セル 1 2 A g と決定し、これら規格内セル 1 2 A g の数 ( $= 63$ ) が規格内セル数  $C_{1A}$  となる。したがって、使用可能領域率  $P_{UA-A} = (63 / 66) * 100 = 94.45\%$  (小数点第 3 位を四捨五入) となる。

## 【 0 0 4 7 】

図 1 3 に示すように、欠陥のいずれかを内部に存在する仮想分割単位セル 1 2 B を規格外セル 1 2 B d と決定し、これら規格外セル 1 2 B d の数 ( $= 3$ ) が規格外セル数  $C_{0B}$  となる。一方、欠陥のいずれをも内部に存在しない仮想分割単位セル 1 2 B を規格内セル 1 2 B g と決定し、これら規格内セル 1 2 B g の数 ( $= 37$ ) が規格内セル数  $C_{1B}$  となる。したがって、使用可能領域率  $P_{UA-B} = (37 / 40) * 100 = 92.5\%$  (小数点第 3 位を四捨五入) となる。

## 【 0 0 4 8 】

図 1 4 に示すように、欠陥のいずれかを内部に存在する仮想分割単位セル 1 2



Cを規格外セル12Cdと決定し、これら規格外セル12Cdの数(=3)が規格外セル数C0Cとなる。一方、欠陥のいずれをも内部に存在しない仮想分割単位セル12Cを規格内セル12Cgと決定し、これら規格内セル12Cgの数(=117)が規格内セル数C1Cとなる。したがって、使用可能領域率 $PUA-C = (117 / 120) * 100 = 97.5\%$ (小数点第3位を四捨五入)となる。

## 【0049】

図15～図17は、図11で示した半導体ウェーハ23に対する品種A～品種Cそれぞれの規格外部含有仮想分割セル数の算出内容を示す模式図である。

## 【0050】

図15に示すように、図12同様、規格外セル12Ad及び規格内セル12Agがそれぞれ決定し、その結果、規格外セル数C0A(=6)及び規格内セル数C1A(=60)が求まる。したがって、使用可能領域率 $PUA-A = (60 / 66) * 100 = 90.91\%$ (小数点第3位を四捨五入)となる。

## 【0051】

図16に示すように、図13同様、規格外セル12Bd及び規格内セル12Bgがそれぞれ決定し、その結果、規格外セル数C0B(=6)及び規格内セル数C1B(=34)が求まる。したがって、使用可能領域率 $PUA-B = (34 / 40) * 100 = 85.0\%$ (小数点第3位を四捨五入)となる。

## 【0052】

図17に示すように、図14同様、規格外セル12Cd及び規格内セル12Cgがそれぞれ決定し、その結果、規格外セル数C0C(=6)及び規格内セル数C1C(=114)が求まる。したがって、使用可能領域率 $PUA-C = (114 / 120) * 100 = 95.0\%$ (小数点第3位を四捨五入)となる。

## 【0053】

このように、3つの半導体ウェーハ21～23それぞれにおいて、使用可能領域率 $PUA-A \sim PUA-C$ を求めた後に実行されるステップS14の処理例を説明する。

## 【0054】

例えば、品種 A ～品種 C の良否判定基準の使用可能領域率 P U A が 9 5 % 以上である場合、ステップ S 1 4 で以下のように用途決定（総合的な良否判定）することができる。

【 0 0 5 5 】

品種 A において、半導体ウェーハ 2 1 及び半導体ウェーハ 2 2 は良品、半導体ウェーハ 2 3 は不良品であると判定する。品種 B において、半導体ウェーハ 2 1 のみ良品、半導体ウェーハ 2 2 及び半導体ウェーハ 2 3 を不良品と判定する。品種 C において、半導体ウェーハ 2 1 ～ 2 3 のすべてを良品と判定する。

【 0 0 5 6 】

このように、実施の形態 2 では、実施の形態 1 の効果に加え、品種 A ～品種 C 個別に半導体ウェーハの良否判定を行うことにより、用途（品種 A ～品種 C ）に応じた精度の高い良否判定が行える。

【 0 0 5 7 】

例えば、従来であれば、通常、最も厳しい品種 B に対する基準で半導体ウェーハの良否検査が行われることにより、品種 A, C に対して本来は良品となるべき半導体ウェーハ 2 2, 2 3 を不良と判定していたが、本実施の形態では用途が品種 A, C の場合は半導体ウェーハ 2 2 は良品で、用途が品種 C の場合は半導体ウェーハ 2 3 は良品であると、品種に適合した良否判定を行うことができる。

【 0 0 5 8 】

< 実施の形態 3 >

実施の形態 3 では、検査結果情報データベース D 3 に格納すべく、検査 A ～検査 C の少なくとも一つの検査対象項目として「S O I ウェーハの S O I 層膜厚」を採用し、実施の形態 1 あるいは実施の形態 2 の検査方法を実行する。

【 0 0 5 9 】

S O I 層膜厚は、分光反射率計や分光エリプソ等により半導体ウェーハ面内分布を検査することにより得ることができる。分光反射率計は 2 0 0 m m ϕ ウェーハで面内 1 5 0 0 点以上の測定がされており、実施の形態 1 あるいは実施の形態 2 の検査方法に十分適用可能である。

【 0 0 6 0 】

このように、実施の形態 3 では検査対象項目に「S O I ウェーハの S O I 層膜厚」を採用することにより、より精度の高い良否判定を行うことができ、その結果、半導体ウェーハの有効利用を図ることができる。

【 0 0 6 1 】

< 実施の形態 4 >

実施の形態 4 では、検査結果情報データベース D 3 に格納すべく、検査 A ～検査 C の少なくとも一つの検査対象項目として「S O I ウェーハの B O X 層（埋込絶縁層）膜厚」を採用し、実施の形態 1 あるいは実施の形態 2 の検査方法を実行する。

【 0 0 6 2 】

B O X 層膜厚は、分光反射率計や分光エリプソ等により半導体ウェーハ面内分布を検査することにより得ることができる。分光反射率計は 2 0 0 m m ϕ ウェーハで面内 1 5 0 0 点以上の測定がされており、実施の形態 1 あるいは実施の形態 2 の検査方法に十分適用可能である。

【 0 0 6 3 】

このように、実施の形態 4 では検査対象項目に「S O I ウェーハの B O X 層膜厚」を採用することにより、より精度の高い良否判定を行うことができ、その結果、半導体ウェーハの有効利用を図ることができる。

【 0 0 6 4 】

< 実施の形態 5 >

実施の形態 5 では、検査結果情報データベース D 3 に格納すべく、検査 A ～検査 C の少なくとも一つの検査対象項目として「S O I 層あるいは S O I 層及び B O X 層双方の損失」を採用し、実施の形態 1 あるいは実施の形態 2 の検査方法を実行する。なお、「S O I 層あるいは S O I 層及び B O X 層双方の損失」とは、S O I ウェーハの S O I 層を失った欠陥または S O I 層及び B O X 層の両方を失った欠陥を意味する。

【 0 0 6 5 】

上記損失は、S O I ウェーハをフッ酸に浸漬し、B O X 層が円形に溶出することと顕在させ、それを光学顕微鏡観察にて検出することができる。また、As-re

ceivedウェーハ（製造処理が全く施されていないウェーハ）でもレーザー散乱式のパーティクルカウンタによって、サイズが $0.2\mu\text{m}$ 以上のパーティクルとして検出することができる。また、画像比較により欠陥を検出する方式の検査装置でも検出することができる。

## 【 0 0 6 6 】

このように、実施の形態5では検査対象項目に「SOI層あるいはSOI層及びBOX層双方の損失」を採用することにより、より精度の高い良否判定を行うことができ、その結果、半導体ウェーハの有効利用を図ることができる。

## 【 0 0 6 7 】

## ＜実施の形態6＞

実施の形態6では、検査結果情報データベースD3に格納すべく、検査A～検査Cの少なくとも一つの検査対象項目として「エピウェーハのヒロック欠陥」を採用し、実施の形態1あるいは実施の形態2の検査方法を実行する。なお、「エピウェーハのヒロック欠陥」とは、エピウェーハに発生するマウンド状の欠陥を意味する。

## 【 0 0 6 8 】

上記ヒロック欠陥は、エピ層膜厚とほぼ同程度のサイズの欠陥であり、エピ成長前の半導体ウェーハの異物や欠陥を核として成長した積層欠陥や異常成長部である。したがって、レーザー散乱式のパーティクルカウンタによって、エピ層膜厚と同程度のサイズのパーティクルとして検出することができる。また、画像比較により欠陥を検出する方式の検査装置でも検出することができる。

## 【 0 0 6 9 】

このように、実施の形態6では検査対象項目に「エピウェーハのヒロック欠陥」を採用することにより、より精度の高い良否判定を行うことができ、その結果、半導体ウェーハの有効利用を図ることができる。

## 【 0 0 7 0 】

## ＜実施の形態7＞

実施の形態7では、検査結果情報データベースD3に格納すべく、検査A～検査Cの少なくとも一つの検査対象項目として「COP (Crystal Originated Part

icle)」を採用し、実施の形態 1 あるいは実施の形態 2 の検査方法を実行する。

【 0 0 7 1 】

COP は、Si 結晶中の約 0.1  $\mu\text{m}$  のボイドとして知られており、半導体ウェーハの表面では凹みとして観察される。したがって、レーザー散乱式のパーティクルカウンタのうち、半導体ウェーハの凹み欠陥を分離する機能を有するものによって、COP を検出することができる。

【 0 0 7 2 】

このように、実施の形態 7 では検査対象項目に「COP」を採用することにより、より精度の高い良否判定を行うことができ、その結果、半導体ウェーハの有効利用を図ることができる。

【 0 0 7 3 】

図 18 は実施の形態 3 ～実施の形態 7 の検査対象項目を表形式で列挙した説明図である。同図に示すように、実施の形態 3 ～実施の形態 7 それぞれにおいて、より精度の高い良品判定を行うべく前述した内容の検査対象項目を採用している。

【 0 0 7 4 】

< 実施の形態 8 >

実施の形態 8 では、分割セルサイズデータ D1 及び分割セル配置データ D2 として、実際に製造されるデバイスと同等になるデータを与え、実施の形態 1 あるいは実施の形態 2 の検査方法を実行する。

【 0 0 7 5 】

図 19 はこの発明の実施の形態 8 の検査方法の処理内容の一部を示す説明図である。同図に示すように、実施の形態 8 では、実デバイス用分割セルサイズデータ D5 及び実デバイス用分割セル配置データ D6 に基づき、仮想分割ウェーハを生成している。実デバイス用分割セルサイズデータ D5 及び実デバイス用分割セル配置データ D6 は実際に製造されるデバイスと同等になるセルサイズ及び配置等を規定するデータである。なお、他の処理は、図 1 で示した実施の形態 1 あるいは図 5 で示した実施の形態 2 の処理と同様であるため説明を省略する。

【 0 0 7 6 】

このように、実施の形態 8 では実デバイス相当のデータに基づき仮想分割ウェーハを設定することにより、実デバイスに適合して精度の高い良否判定を行うことができ、その結果、半導体ウェーハの有効利用を図ることができる。

【 0 0 7 7 】

＜実施の形態 9＞

図 2 0 ～図 2 2 は 1 チップのメモリデバイスにおけるメモリセル領域及び周辺領域を示す説明図である。

【 0 0 7 8 】

これらの図に示すように、メモリデバイスは 1 チップ内にメモリセル領域及び周辺領域に分離形成されている。図 2 0 の例では、矩形状のチップ 1 4 内に十字状に周辺領域 1 6 が形成され、それ以外の領域がメモリセル領域 1 5 となっている。図 2 2 の例ではチップ 1 4 内の中央部に形成されるメモリセル領域 1 5 の周辺を囲んで周辺領域 1 6 が形成されている。図 2 2 のチップ 1 4 内においてメモリセル領域 1 5 及び周辺領域 1 6 が交互に形成されている。

【 0 0 7 9 】

図 2 3 は実施の形態 9 の半導体ウェーハの検査方法の処理手順をデータの流れと共に模式的に示す説明図である。

【 0 0 8 0 】

同図を参照して、ステップ S 3 1 で、半導体ウェーハ 1 に対して検査 A に基づく検査を行い、その全検査結果を検査情報として検査結果情報データベース D 1 3 に与える。

【 0 0 8 1 】

そして、ステップ S 3 2, S 3 3 において、半導体ウェーハ 1 に対して検査 B 及び検査 C に基づく検査を行い、検査 B 及び検査 C それぞれ全検査結果を検査情報として検査結果情報データベース D 1 3 に与える。

【 0 0 8 2 】

一方、ステップ S 4 1 において、仮想分割単位セルをチップサイズより細分化したセルサイズ及び形状等を規定する分割セルサイズデータ D 1 1 及びメモリセル領域と周辺領域とに独立分離して各セルが配置されるように規定された分割セ



ル配置データ D 1 2 に基づき、仮想ウェーハ上が仮想分割単位セルによって仮想的に分割された仮想分割ウェーハ 2 0 M を生成する。すなわち、仮想分割ウェーハ 2 0 M 上には複数のメモリセル用仮想分割単位セル 1 2 M と複数の周辺領域用仮想分割単位セル 1 2 P とが配置される。

#### 【 0 0 8 3 】

このように、ステップ S 4 1 の処理によって、仮想分割単位セル 1 2 をチップサイズよりも細分化することにより、メモリセル領域及び周辺領域それぞれに仮想分割単位セル 1 2 M 及び 1 2 P （実施の形態 2 では 1 2 A ～ 1 2 C ）が 2 つの領域に重複することなく独立に存在するように、仮想分割ウェーハ 2 0 M を生成させる。

#### 【 0 0 8 4 】

そして、ステップ S 4 2 において、検査結果情報データベース D 1 3 を仮想分割ウェーハ 2 0 M 上で照合しながら規格外部の検出を行う。すなわち、メモリセル用仮想分割単位セル 1 2 M に対して、メモリセル用の検査 A ～ 検査 C それぞれの規格値 M R - A ～ M R - C に基づき検査 A ～ 検査 C の検査情報をそれぞれ検証することによりメモリセル用規格外部を検出するとともに、周辺領域用仮想分割単位セル 1 2 P に対しては周辺領域用の規格値 P R - A ～ P R - C に基づき検査情報を検証することにより規格外部を検出する。

#### 【 0 0 8 5 】

そして、ステップ S 4 3 において、メモリセル用の規格外部の有無に基づき、メモリセル用仮想分割単位セル 1 2 M をメモリセル用規格内セル及び規格外セルに分類し、メモリセル用規格内セル数 C 1 M 及び規格外セル数 C 0 M 数をそれぞれ算出するとともに、周辺領域用の規格外部の有無に基づき、周辺領域用仮想分割単位セル 1 2 P を周辺領域用規格内セル及び規格外セルに分類し、周辺領域用規格内セル数 C 1 P 及び規格外セル数 C 0 P 数をそれぞれ算出する。

#### 【 0 0 8 6 】

続いて、図 1 のステップ S 4 3 において、全仮想分割単位セル数 C 1 0 に対する規格内セル数 C 1 を求める。この際、以下の 2 つの使用可能領域率 P U A の求め方が考えられる。

## 【 0 0 8 7 】

①メモリセル領域用及び周辺領域用を併せて、実施の形態 1 及び実施の形態 2 同様に、使用可能領域率  $PUA$  を求める。すなわち、仮想分割単位セル 1 2 M の総数を  $C10M$ 、周辺領域用仮想分割単位セル 1 2 P の総数を  $C10P$  とすれば、 $PUA = \{ (C1M + C1P) / (C10M + C10P) \} \cdot 100$  を求める。

## 【 0 0 8 8 】

②メモリセル用仮想分割単位セル 1 2 M における使用可能領域率  $PUA-M$  と、周辺領域用仮想分割単位セル 1 2 P における使用可能領域率  $PUA-P$  とを別々に求める。すなわち、 $\{ PUA-M = (C1M / C10M) \cdot 100 \}$ 、 $\{ PUA-P = (C1P / C10P) \cdot 100 \}$  を求める。

## 【 0 0 8 9 】

そして、ステップ S 3 4 において、ステップ S 4 4 で得た使用可能領域率  $PUA$  に基づき良否判定を行い、最終的な出荷の判断を行う。この際、使用可能領域率  $PUA$  に基づき価格設定を行うことにより、実デバイスの規格外部の影響を加味した価格設定が可能となる。

## 【 0 0 9 0 】

このように、実施の形態 9 は、メモリデバイス用の半導体ウェーハに対し、同内容の検査であってもメモリセル領域及び周辺領域それぞれで異なる規格値で規格外部を検出することにより、メモリセル領域及び周辺領域それぞれの特性を考慮した精度の高い良否判定を行うことができる。

## 【 0 0 9 1 】

また、システムオンチップは各種機能ブロックがワンチップに混載されている。機能ブロックとしては、CPU 等のロジック回路部、メモリなどの記憶保持部、高周波素子部や MEMS (Micro-Electro-Mechanical System) による受動素子などがあり、これらをワンチップ化して多機能かつ高性能な半導体デバイスを構築できる。このようなシステムオンチップに対しても、メモリデバイスと同様に、仮想分割単位セル 1 2 を細分化して各機能ブロック内にそれぞれ独立して存在するように、各検査対象項目における規格値も機能ブロック単位で異なる内容に



設定し、上述したステップ S 3 1 ~ S 3 3 及び S 4 1 ~ 4 4 と同様な処理を行う。

【 0 0 9 2 】

その結果、システムオンチップ用の半導体ウェーハに対し、各機能ブロックの特性を考慮した精度の高い良否判定を行うことができる。

【 0 0 9 3 】

なお、実施の形態 9 の検査方法を実施の形態 2 のように複数の品種に対応して総合的に評価することも勿論可能である。

【 0 0 9 4 】

＜実施の形態 1 0＞

図 2 4 はこの発明の実施の形態 1 0 である半導体ウェーハの購入価格決定方法を示すフローチャートである。

【 0 0 9 5 】

同図を参照して、ステップ S 5 1 で、実施の形態 1 ~ 実施の形態 9 による良否判定処理による使用可能領域率 P U A を算出する。

【 0 0 9 6 】

そして、ステップ S 5 2 において、使用可能領域率 P U A に基づき半導体ウェーハの実質購入価格を決定する。

【 0 0 9 7 】

以下、ステップ S 5 2 の実質購入価格の決定例を①～④として以下に示す。

【 0 0 9 8 】

①使用可能領域率 P U A = 1 0 0 % の場合の価格を基本価格 P 1 に設定し、実質購入価格 P S を  $\{ P S = P 1 * ( P U A / 1 0 0 ) \}$  で決定する。

【 0 0 9 9 】

②使用可能領域率 P U A が予め設定した基準率を満足した半導体ウェーハのみを、予め設定した購入価格で決定するようする。

【 0 1 0 0 】

③全半導体ウェーハのうち、使用可能領域率 P U A が予め設定した基準率を満足した半導体ウェーハの数の比率が一定割合以上の場合に、全半導体ウェーハを

、予め設定した購入価格で決定するようする。

【 0 1 0 1 】

④使用可能領域率  $PUA$  に対応する  $n$  個の基準値  $REF\ 1 \sim REF\ n$  ( $REF\ 1 > REF\ 2 > \dots > REF\ n$ ) 設定し、 $PUA > REF\ 1$  の時の価格を  $PS\ 1$ 、 $REF\ 1 > PUA \geq REF\ 2$  の時の価格を  $PS\ 2$ 、 $REF\ (i - 1) > PUA \geq REF\ i$  ( $i = 2 \sim n$ ) の時の価格を  $REF\ i$  と設定する。但し、 $PS\ 1 > PS\ 2 > \dots > PS\ n$  とする。

【 0 1 0 2 】

このように、実施の形態 1 0 の半導体ウェーハの購入価格決定方法は、半導体ウェーハの良品度合を正確に反映した購入価格を決定することができる。

【 0 1 0 3 】

【発明の効果】

以上説明したように、この発明における請求項 1 記載の半導体ウェーハの検査方法は、規格内セルの数に関連した使用可能セル率に基づくことにより、規格外部の半導体ウェーハ上の発生位置を考慮した精度の高い良否検査を行うことができる。

【 0 1 0 4 】

加えて、複数の仮想分割単位セルの総数に対する規格内セルの数の比である使用可能セル率に基づくことにより、半導体ウェーハのサイズ及び仮想分割単位セルの総数等の変更によっても、高い良否判定精度を維持することができる。

【図面の簡単な説明】

【図 1】 この発明の実施の形態 1 である半導体ウェーハの検査方法の処理手順をデータの流れと共に模式的に示す説明図である。

【図 2】 検査実行後の半導体ウェーハの規格外部状況を示す説明図である。

【図 3】 仮想分割ウェーハの一例を示す説明図である。

【図 4】 規格外部含有仮想分割セル数の算出内容を示す説明図である。

【図 5】 この発明の実施の形態 2 である半導体ウェーハの検査方法の処理手順をデータの流れと共に模式的に示す説明図である。

- 【図 6】 仮想分割ウェーハ例を示す説明図である。
- 【図 7】 仮想分割ウェーハ例を示す説明図である。
- 【図 8】 仮想分割ウェーハ例を示す説明図である。
- 【図 9】 検査済み半導体ウェーハの欠陥状況をウェーハマップ状に示した模式図である。
- 【図 1 0】 検査済み半導体ウェーハの欠陥状況を示した模式図である。
- 【図 1 1】 検査済み半導体ウェーハの欠陥状況を示した模式図である。
- 【図 1 2】 品種 A の規格外部含有仮想分割セル数の算出内容を示す模式図である。
- 【図 1 3】 品種 B の規格外部含有仮想分割セル数の算出内容を示す模式図である。
- 【図 1 4】 品種 C の規格外部含有仮想分割セル数の算出内容を示す模式図である。
- 【図 1 5】 品種 A の規格外部含有仮想分割セル数の算出内容を示す模式図である。
- 【図 1 6】 品種 B の規格外部含有仮想分割セル数の算出内容を示す模式図である。
- 【図 1 7】 品種 C の規格外部含有仮想分割セル数の算出内容を示す模式図である。
- 【図 1 8】 実施の形態 3 ～実施の形態 7 の検査対象項目を表形式で列挙した説明図である。
- 【図 1 9】 この発明の実施の形態 8 の検査方法の処理内容の一部を示す説明図である。
- 【図 2 0】 メモリデバイスにおけるメモリセル領域及び周辺領域を示す説明図である。
- 【図 2 1】 メモリデバイスにおけるメモリセル領域及び周辺領域を示す説明図である。
- 【図 2 2】 メモリデバイスにおけるメモリセル領域及び周辺領域を示す説明図である。

【図 2 3】 この発明の実施の形態 9 である半導体ウェーハの検査方法の処理手順をデータの流れと共に模式的に示す説明図である。

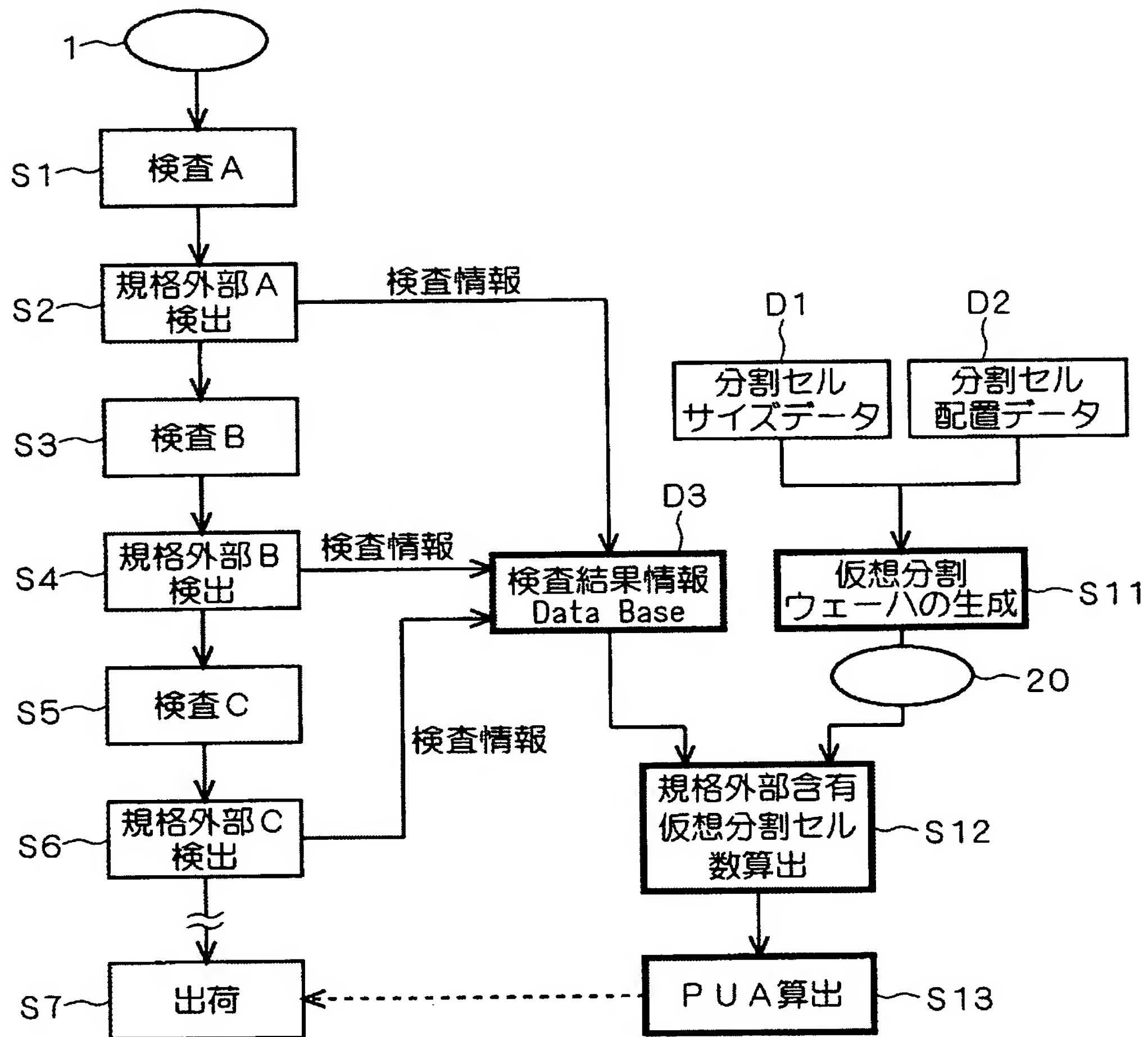
【図 2 4】 この発明の実施の形態 1 0 である半導体ウェーハの購入価格決定方法を示すフローチャートである。

【符号の説明】

1, 2 1 ~ 2 3 半導体ウェーハ、2, 2 A ~ 2 C 欠陥、1 2 仮想分割単位セル、1 2 g, 1 2 A g ~ 1 2 C g 規格内セル、1 2 d, 1 2 A d ~ 1 2 C d 規格外セル、1 5 メモリセル領域、1 6 周辺領域、2 0, 2 0 A ~ 2 0 C, 2 0 M 仮想分割ウェーハ。

【書類名】 図面

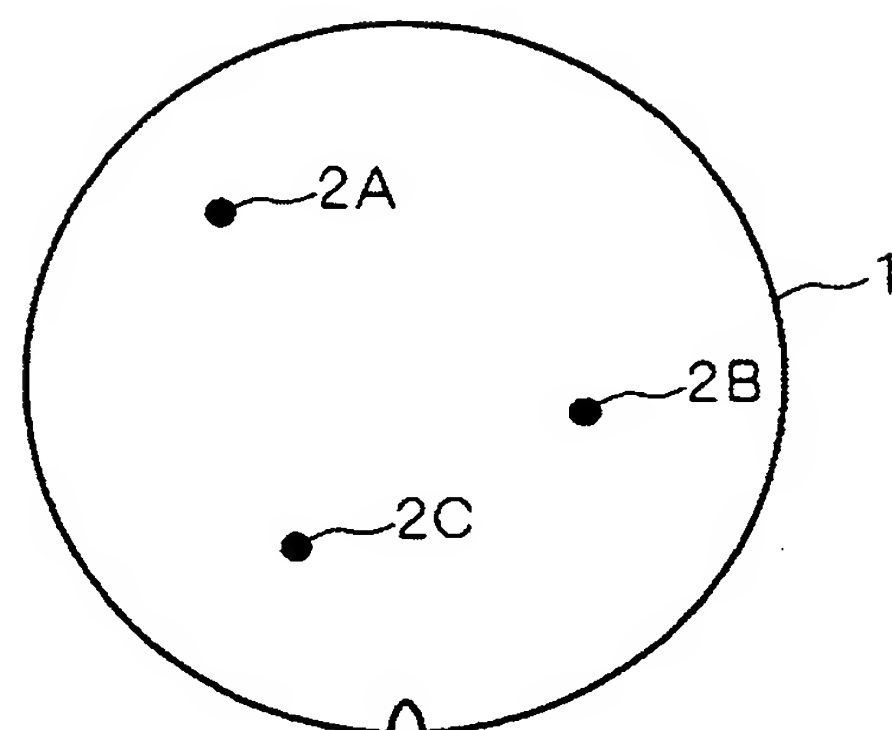
【図 1】



1 : 半導体ウェーハ

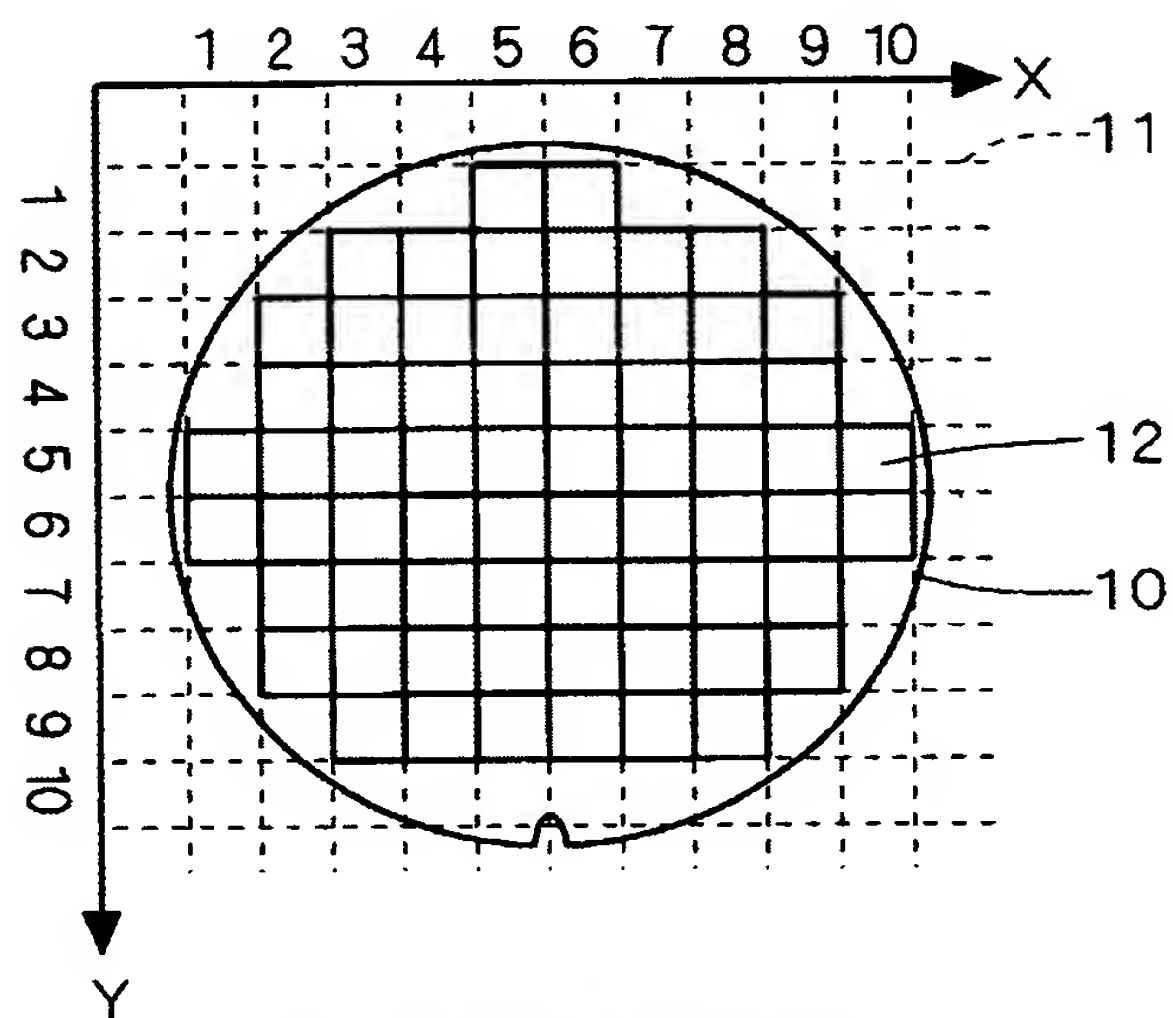
2 0 : 仮想分割ウェーハ

【図 2】



2 A ~ 2 C : 欠陥

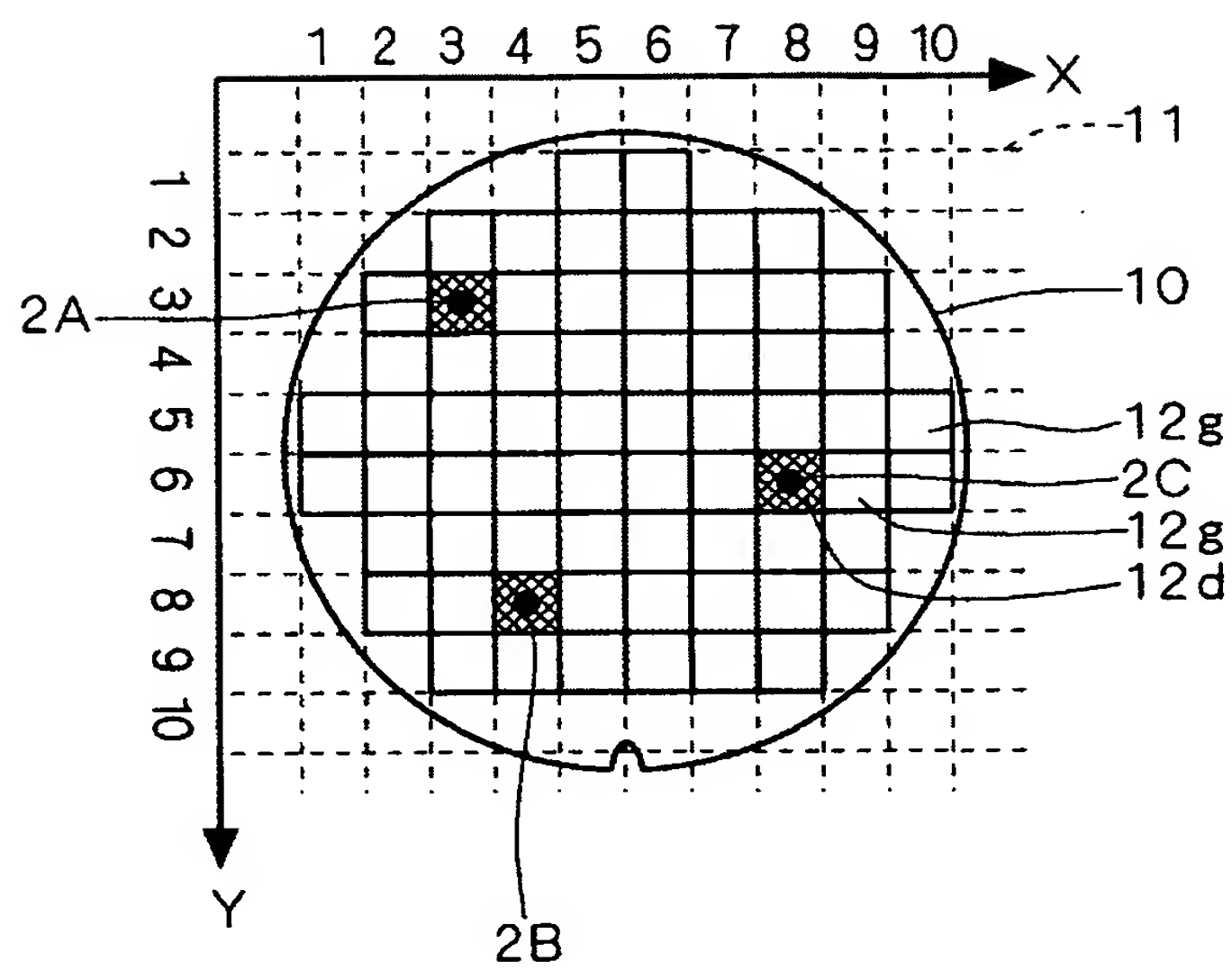
【図 3】



1 2 : 仮想分割単位セル

20

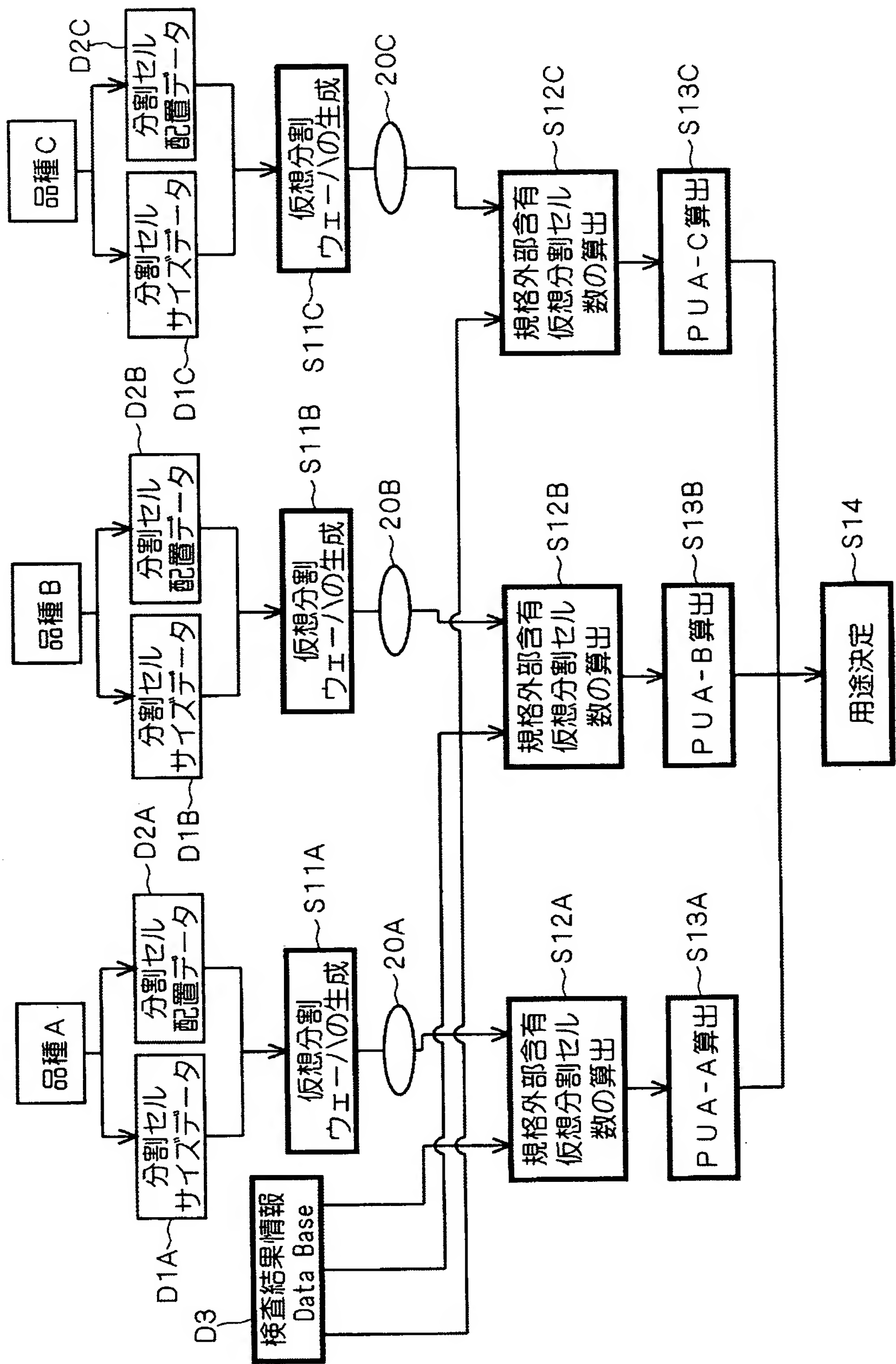
【図 4】



1 2 d : 規格外セル

12 g : 規格内セル

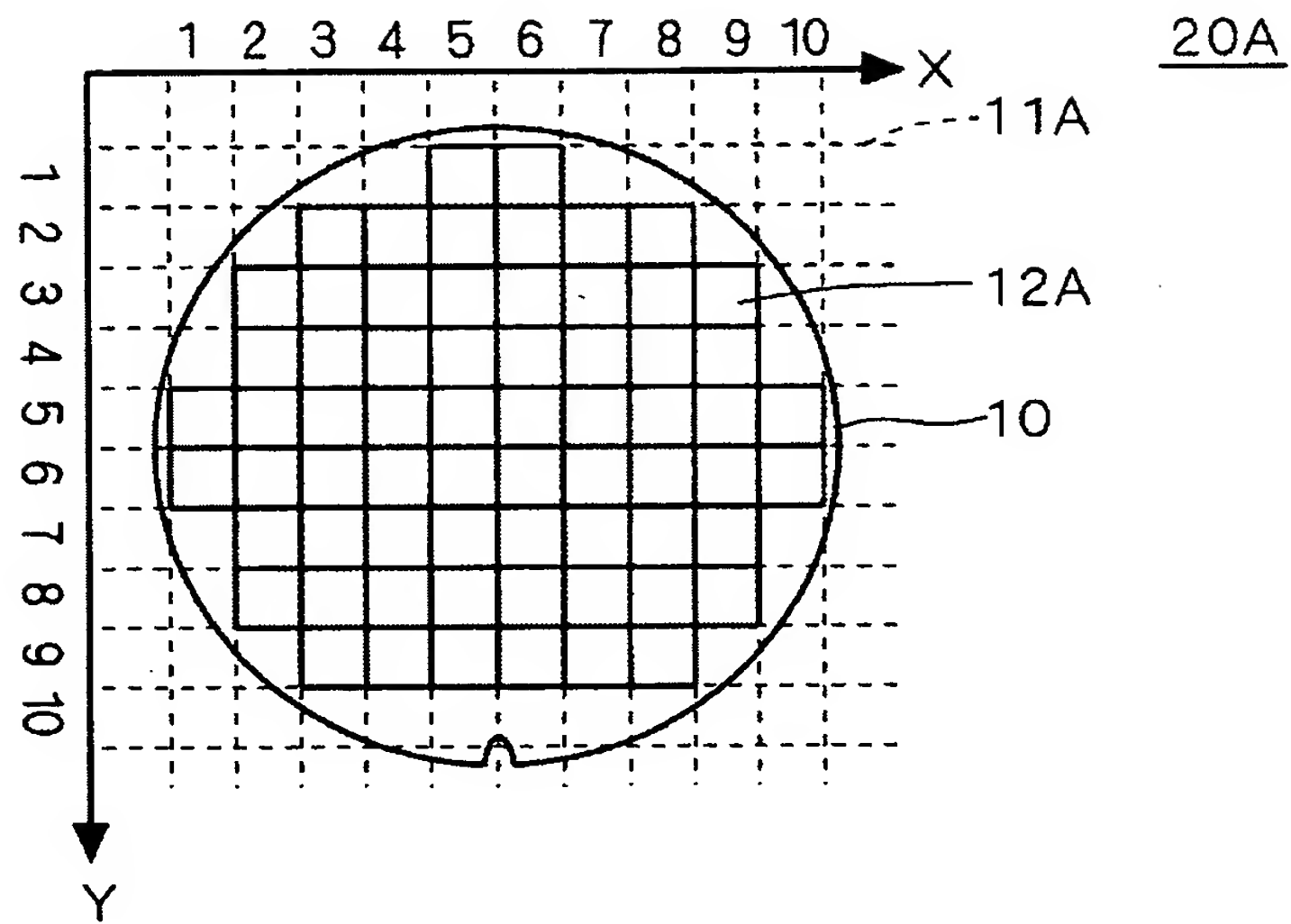
【図 5】



20A~20C: 仮想分割ウェーハ

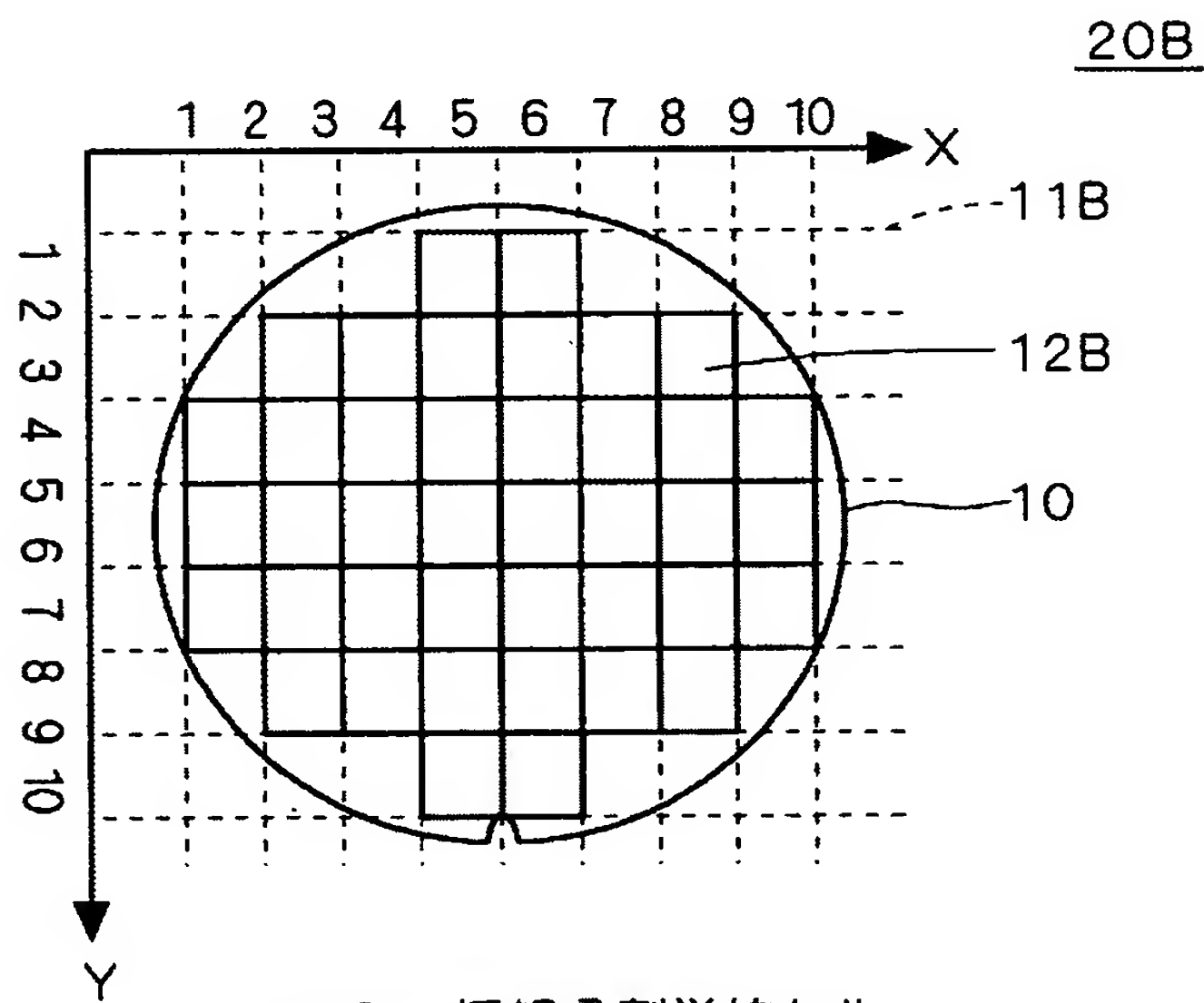


【図 6】



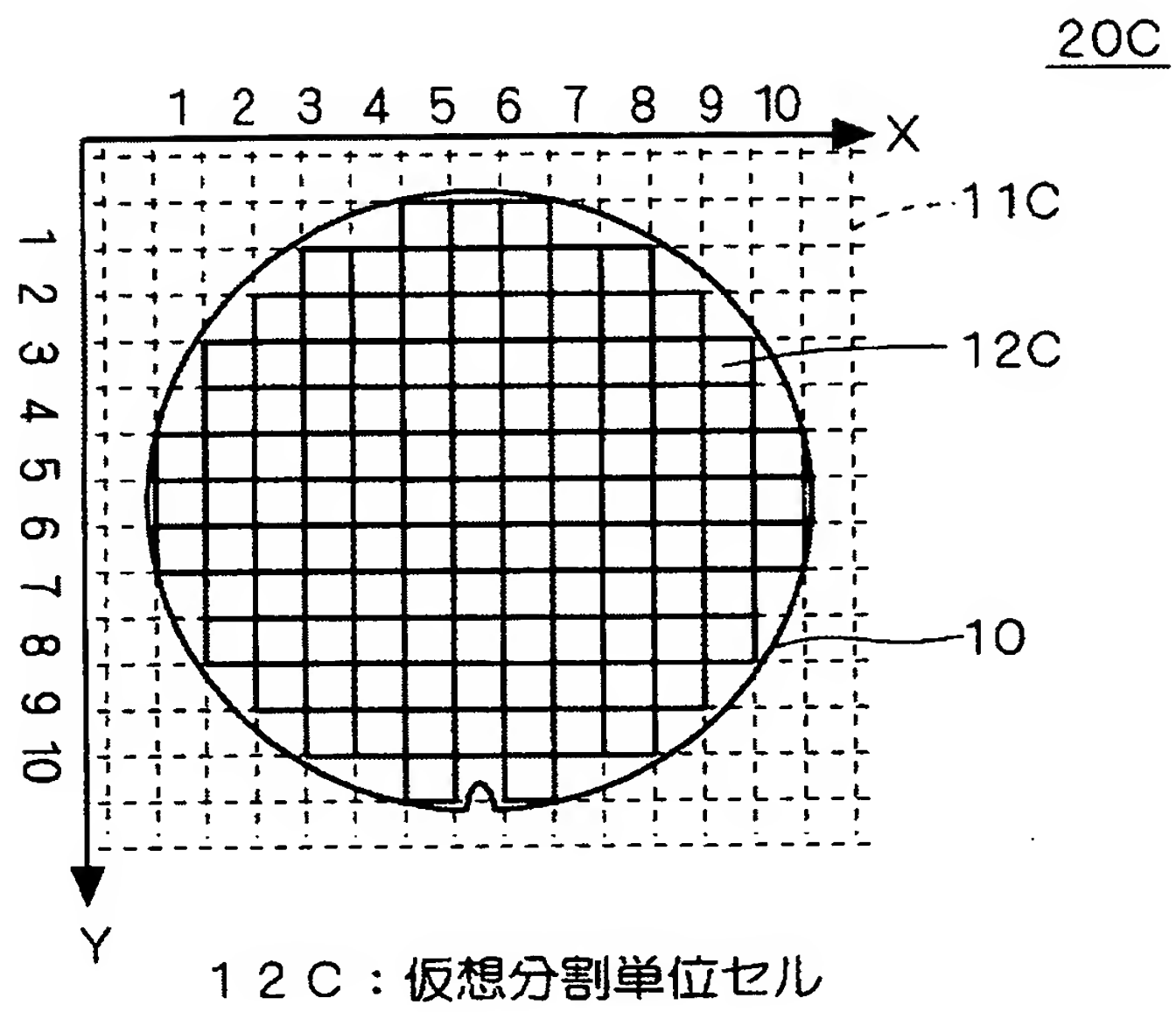
1 2 A : 仮想分割単位セル

【図 7】

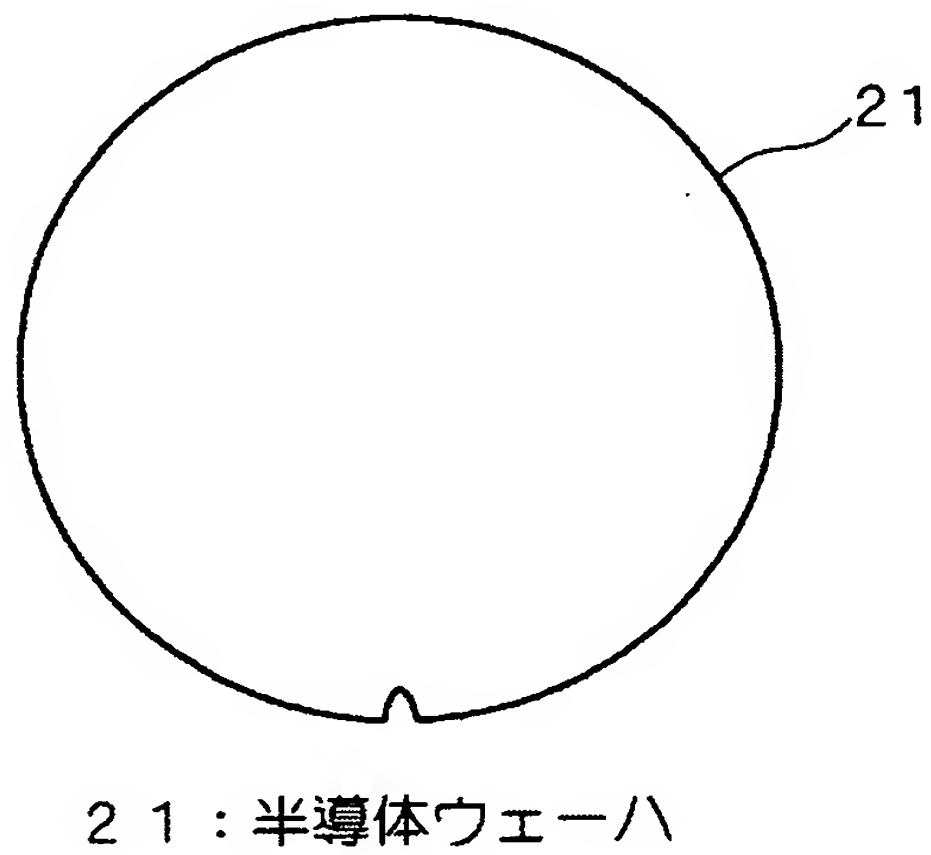


1 2 B : 仮想分割単位セル

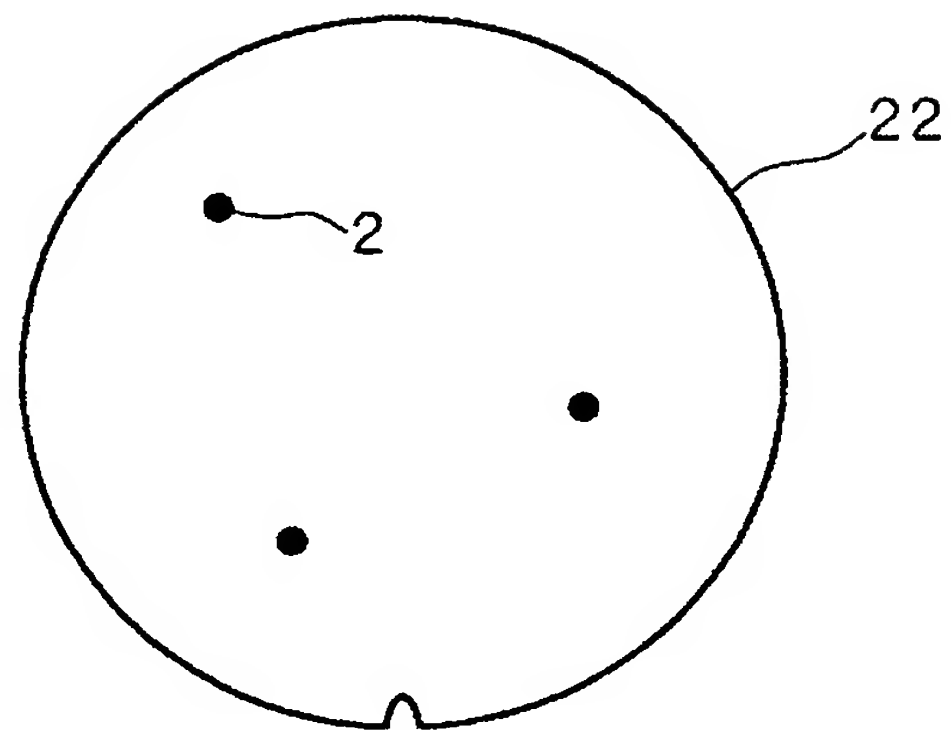
【図 8】



【図 9】

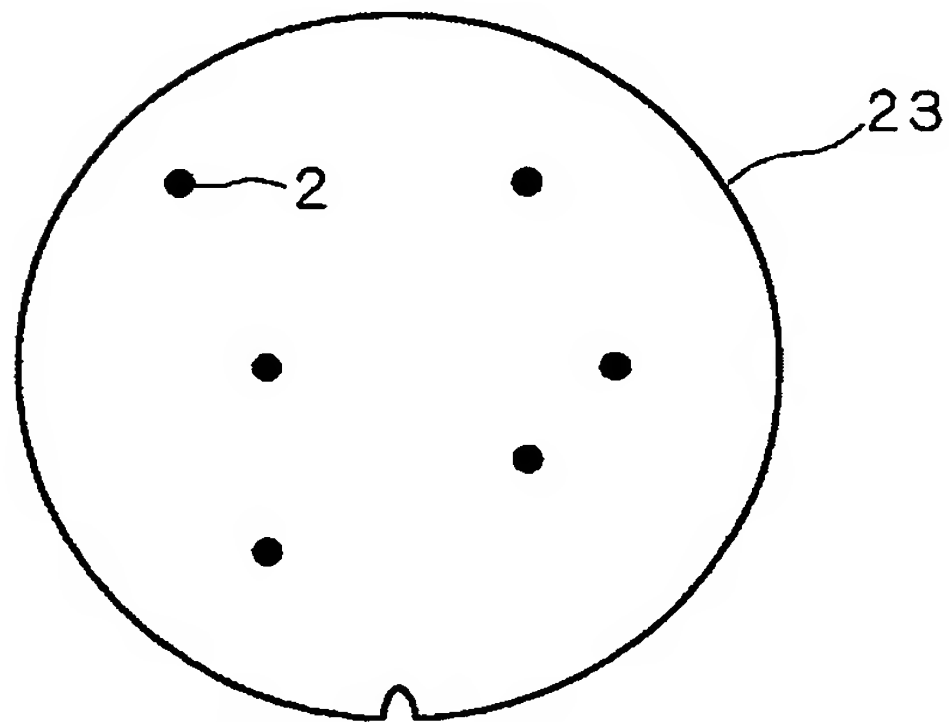


【図 1 0】



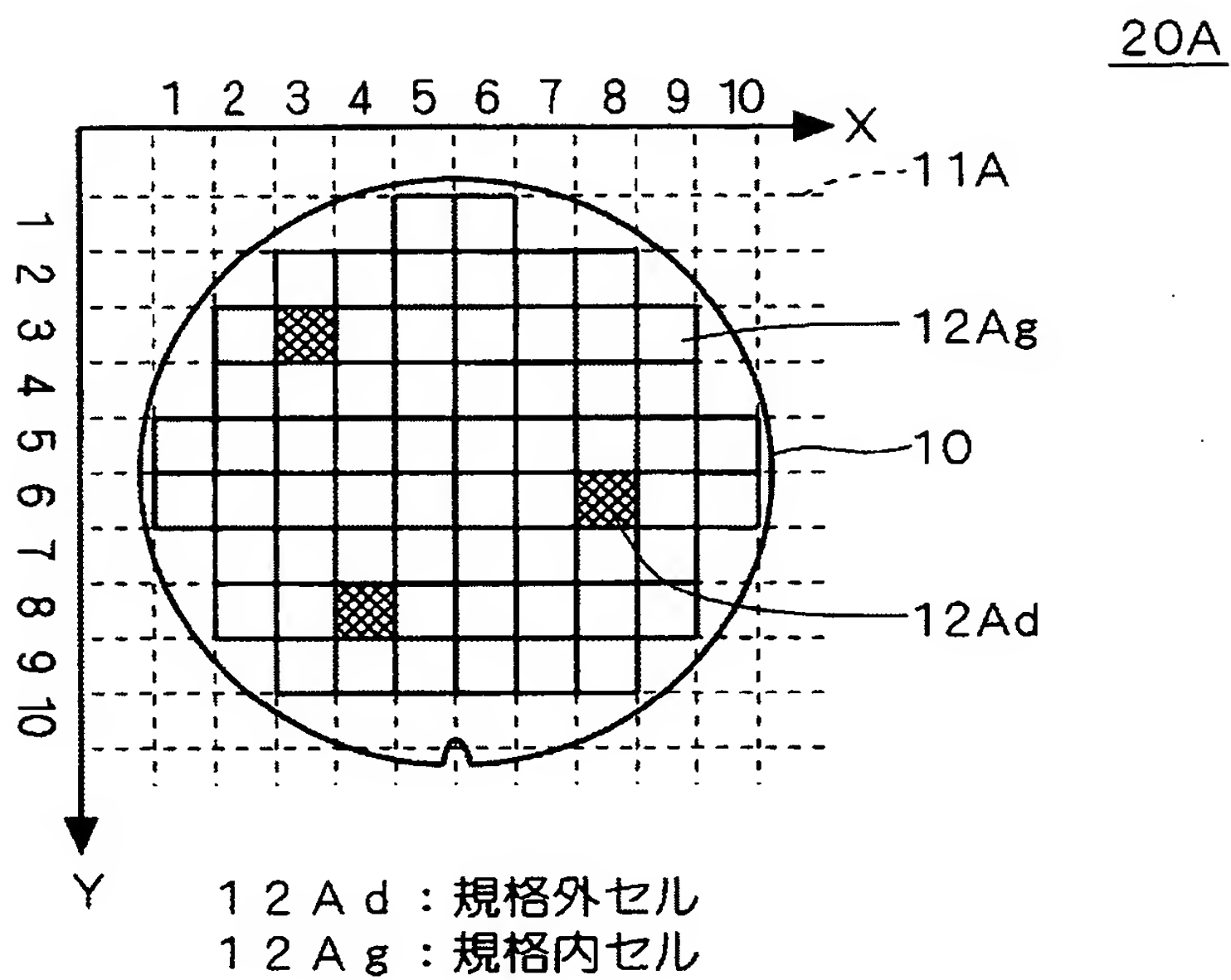
2 2 : 半導体ウェーハ

【図 1 1】

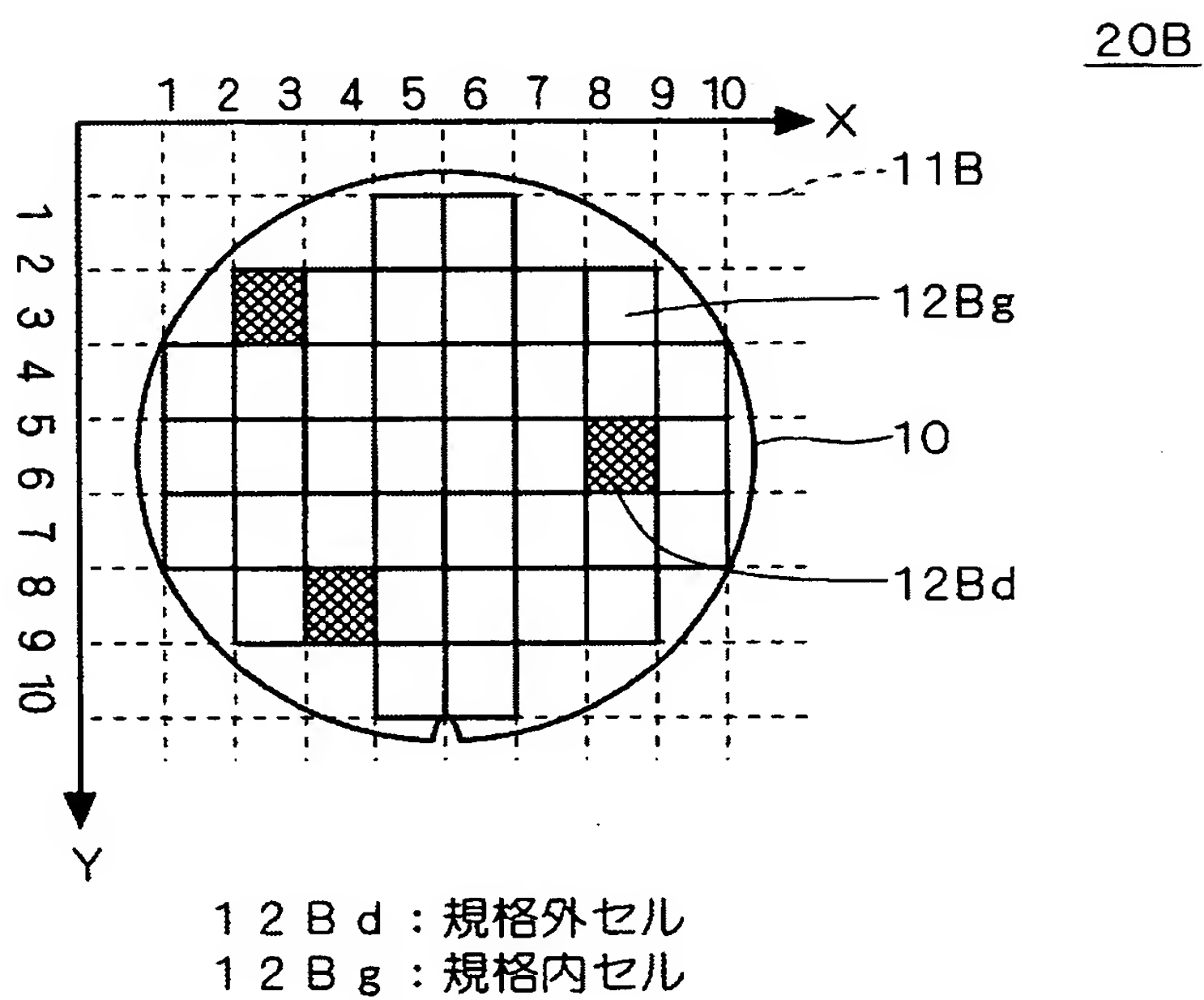


2 3 : 半導体ウェーハ

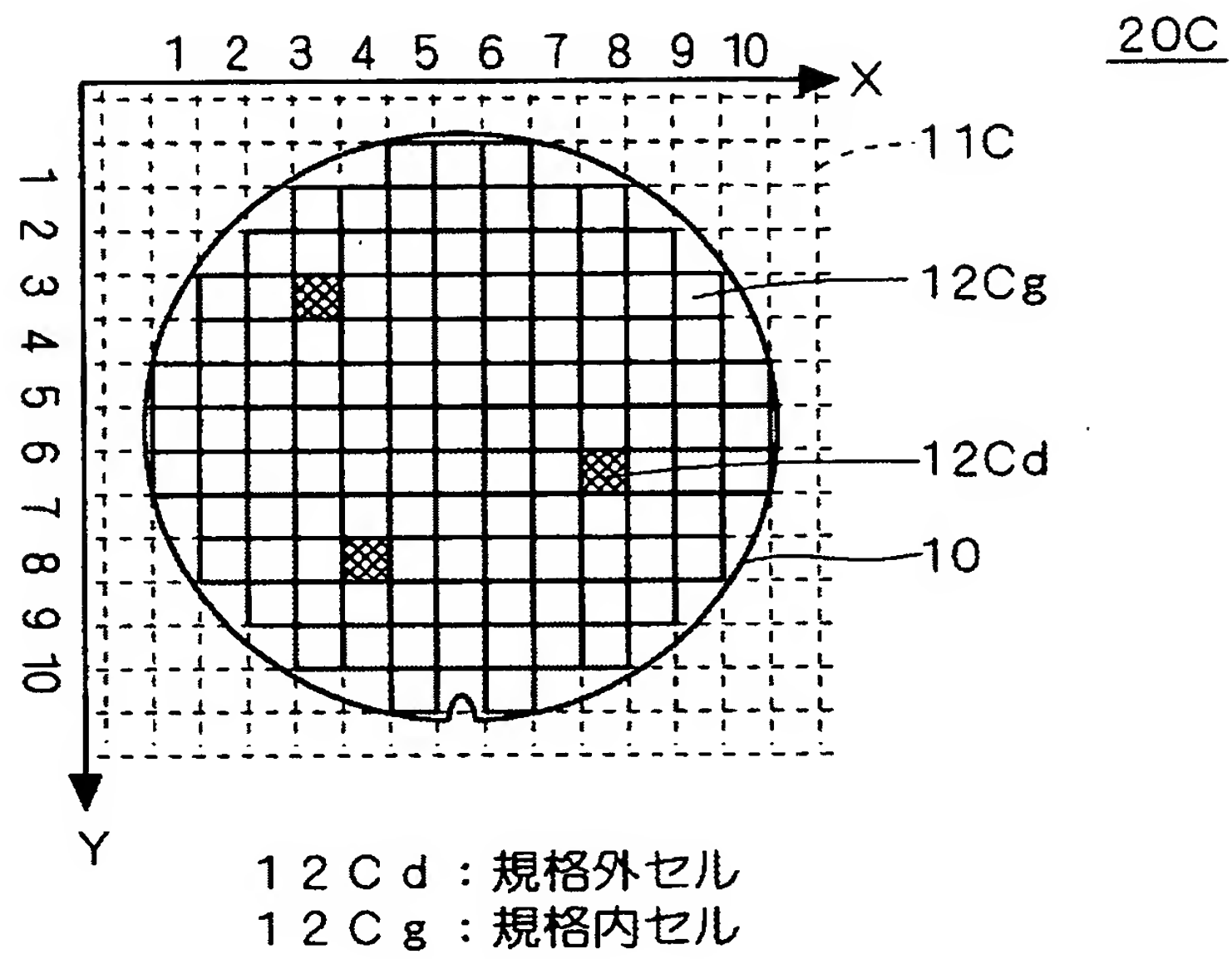
【図 1 2】



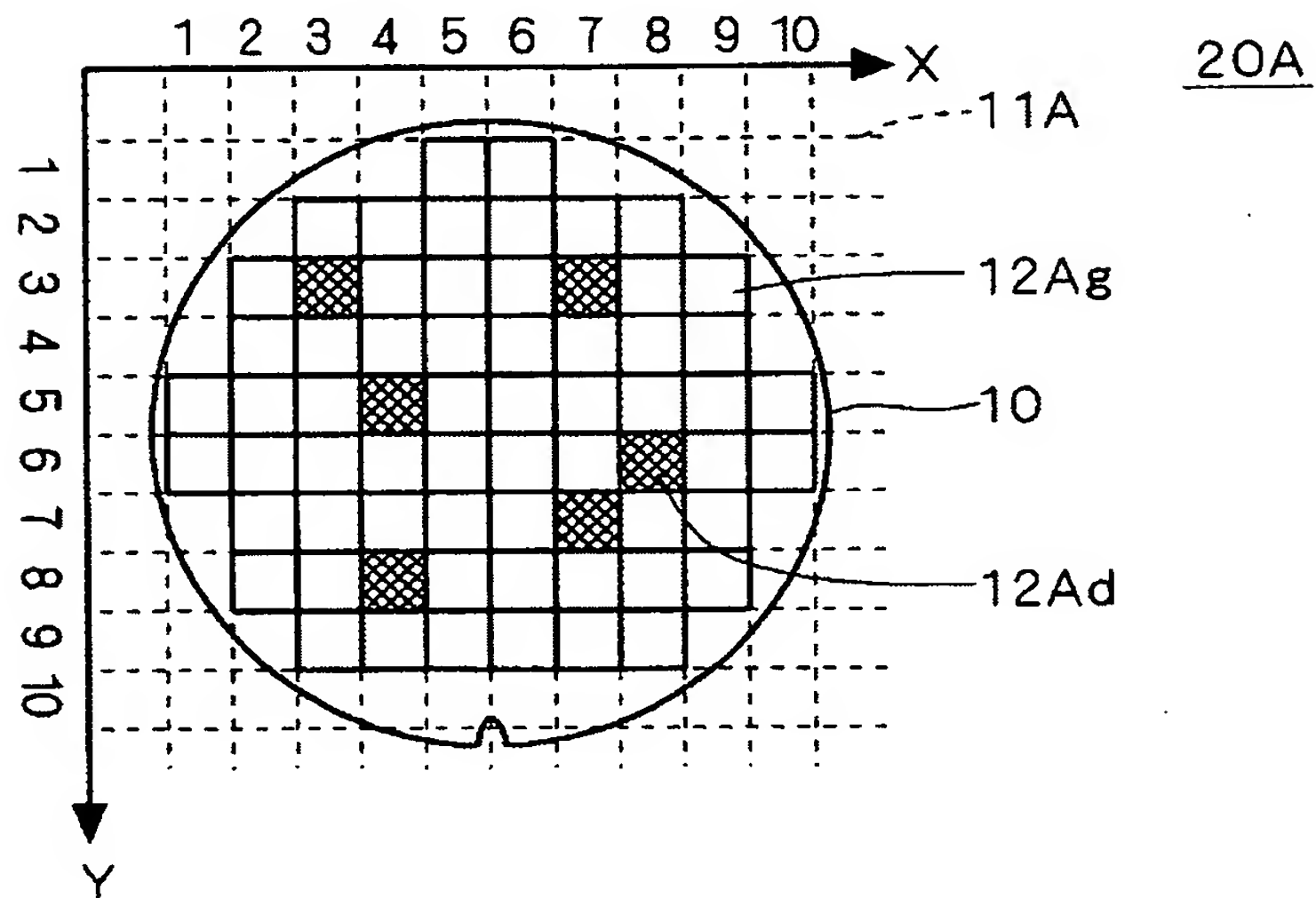
【図 1 3】



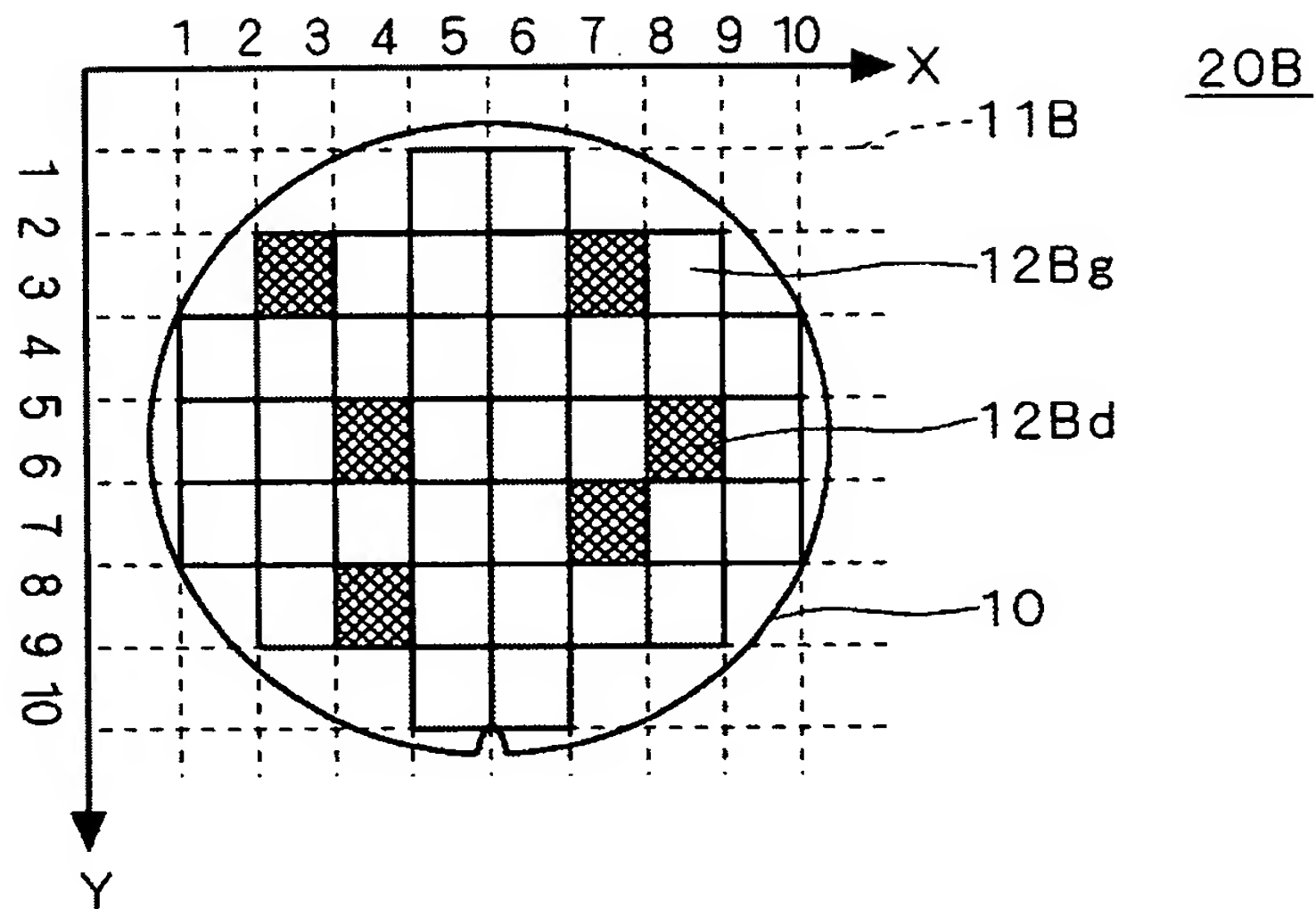
【図 1 4】



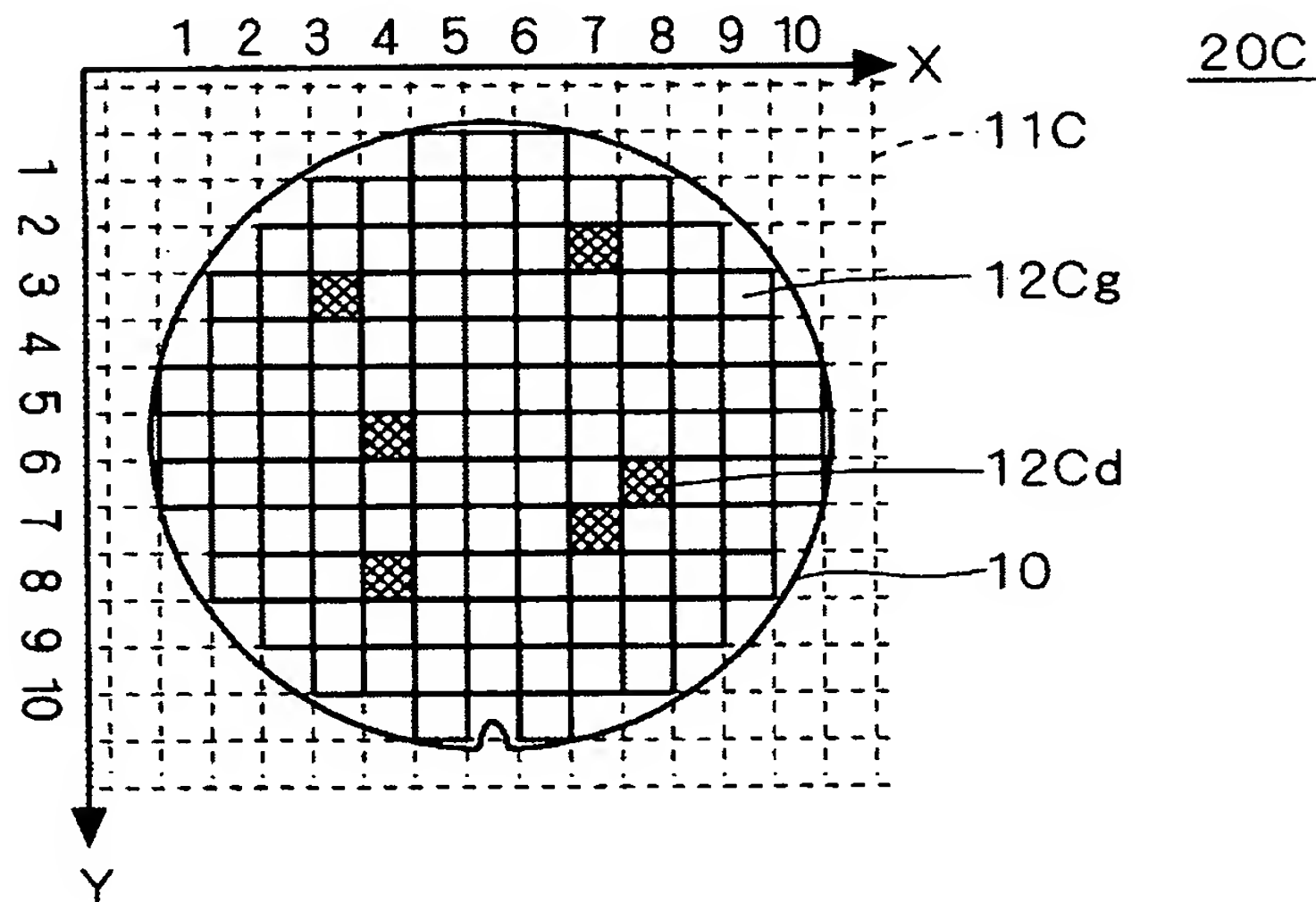
【図 1 5】



【図 1 6】



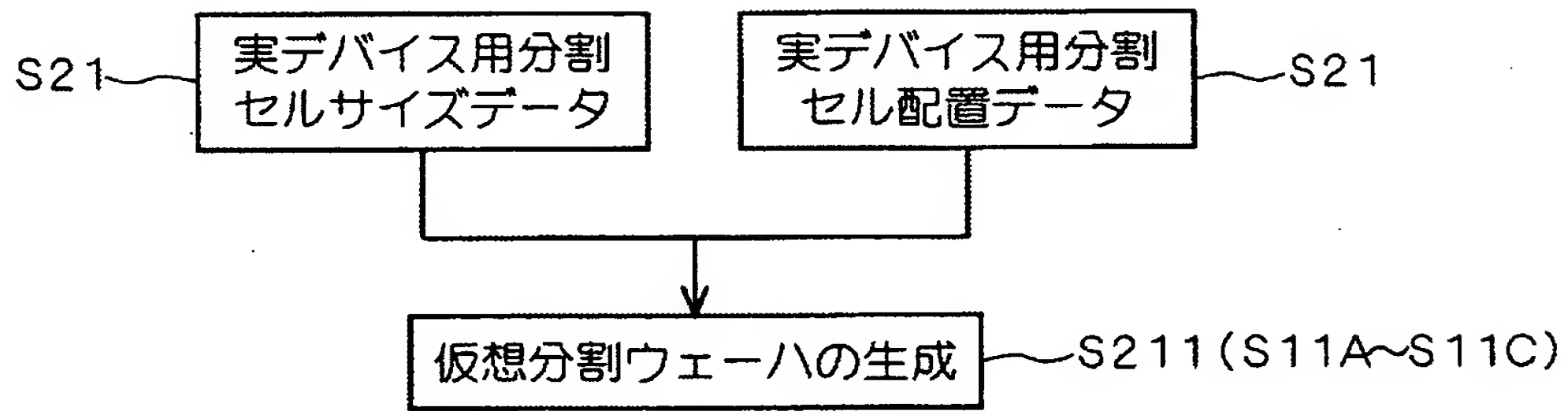
【図 1 7】



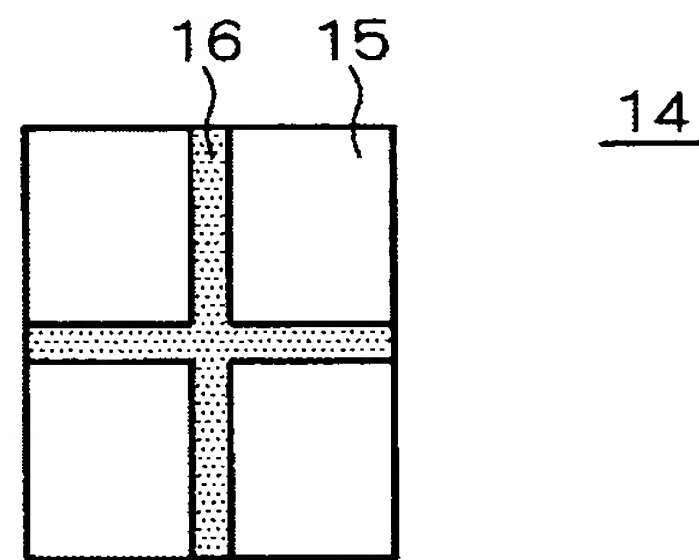
【図 1 8】

| 実施の形態No. | 検査対象項目                                       |
|----------|--|
| 3        | S O I ウェーハの S O I 層の膜厚                       |
| 4        | S O I ウェーハの B O X 層の膜厚                       |
| 5        | S O I ウェーハの S O I 層あるいは S O I 層及び B O X 層の損失 |
| 6        | エピタキシャルウェーハのヒロック状の欠陥                         |
| 7        | C O P  |

【図 1 9】

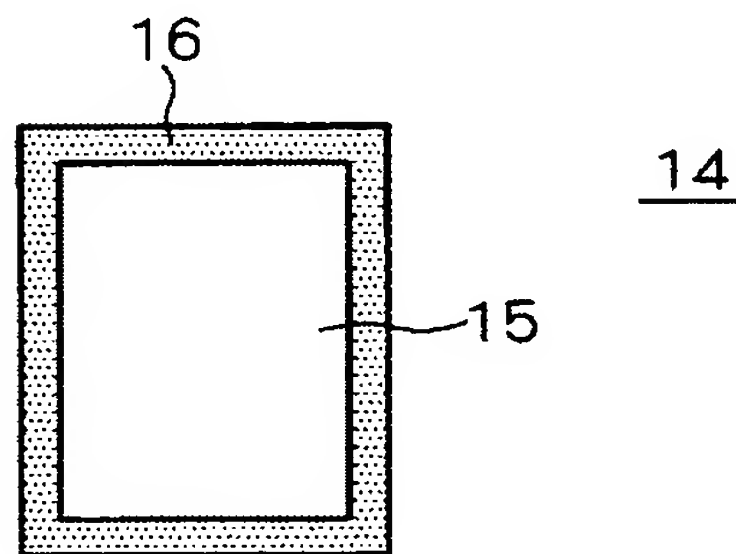


【図 2 0】

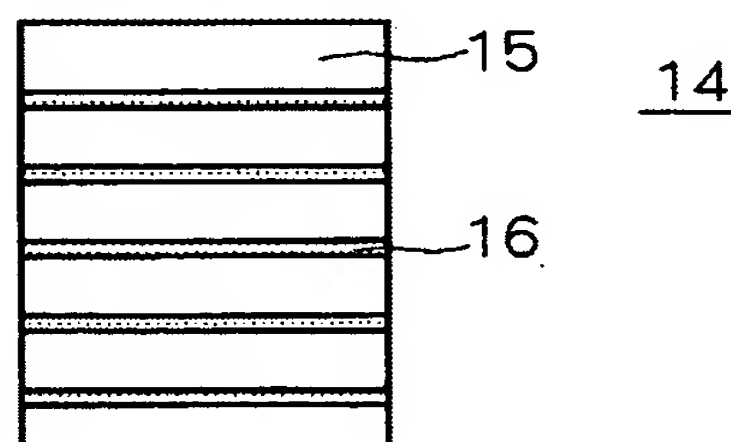


1 5 : メモリセル領域  
1 6 : 周辺領域

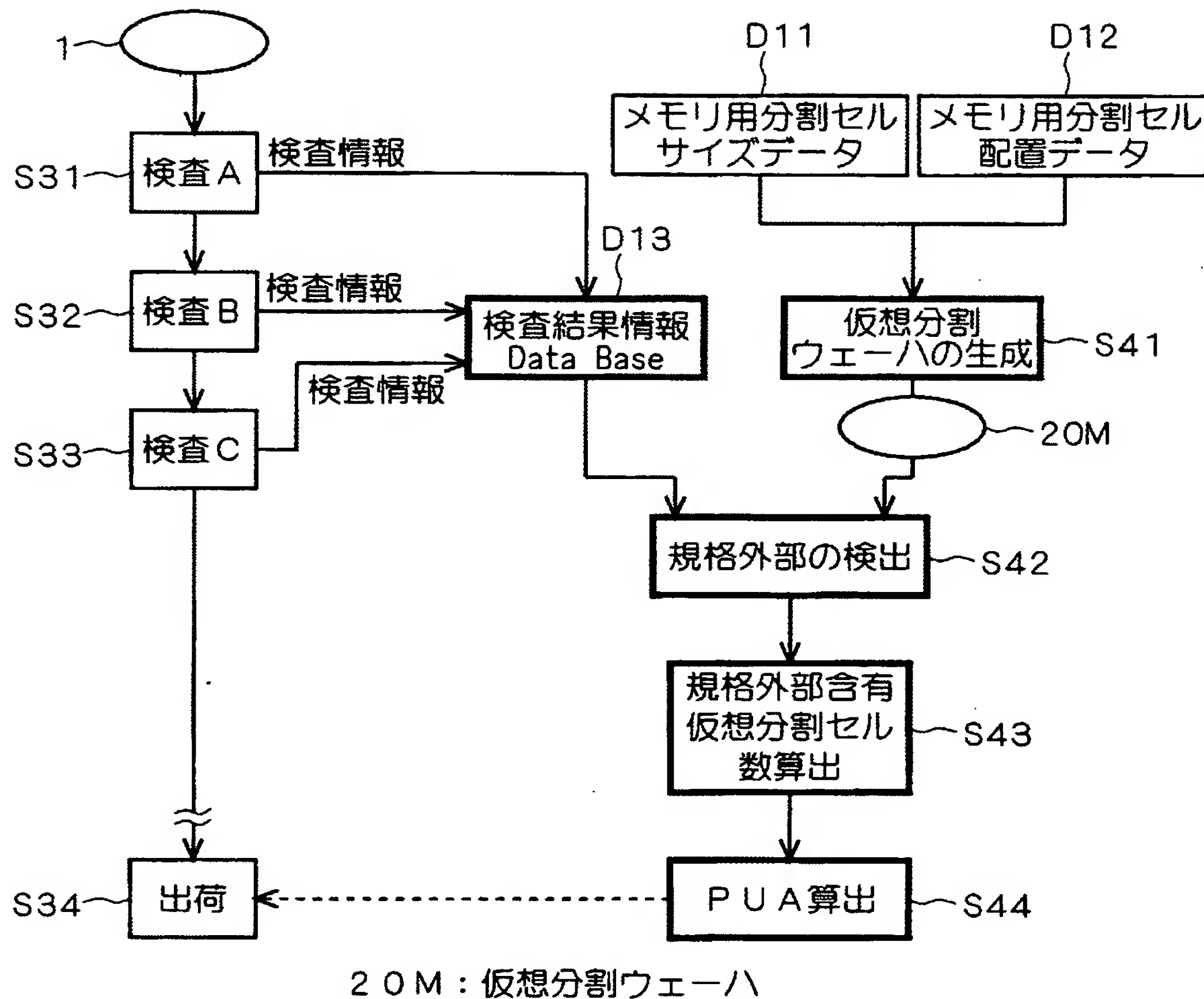
【図 2 1】



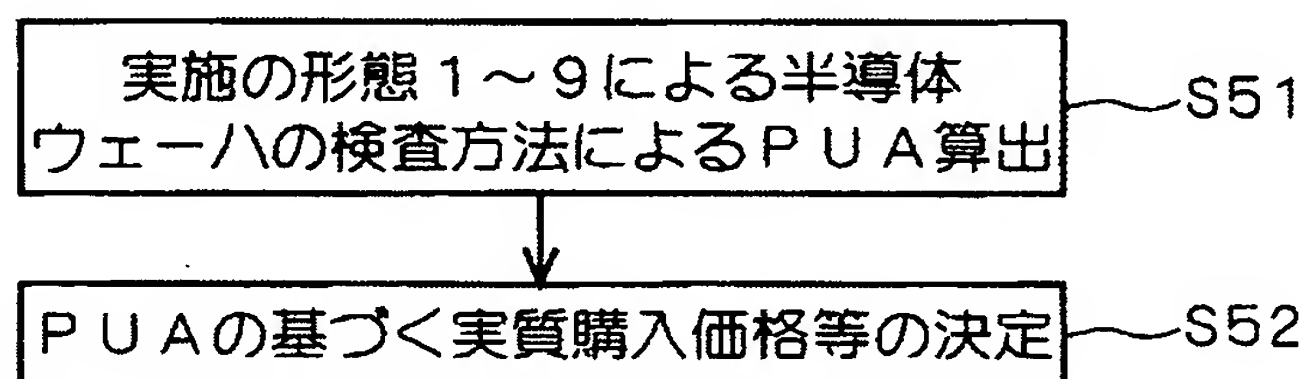
【図 2 2】



【図 2 3】



【図 2 4】





【書類名】 要約書

【要約】

【課題】 正確な検査が可能な半導体ウェーハの検査方法を得る。

【解決手段】 ステップ S 1 1 で、分割条件を規定する分割セルサイズデータ D 1 及び分割セル配置データ D 2 に基づき仮想分割ウェーハ 2 0 を生成する。ステップ S 1 2 において、検査結果情報データベース D 3 を仮想分割ウェーハ 2 0 上で照合することにより、規格外部を有する規格外セル数 C 0 及び規格外部を有さない規格内セル数 C 1 をそれぞれ算出する。ステップ S 1 3 において、全仮想分割単位セル数 C 1 0 と規格内セル数 C 1 とに基づき、使用可能領域率 P U A ( % ) ( = ( C 1 / C 1 0 ) \* 1 0 0 ) を求める。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 6 0 1 3 ]

1. 変更年月日 1 9 9 0 年 8 月 2 4 日

[変更理由] 新規登録

住 所 東京都千代田区丸の内 2 丁目 2 番 3 号

氏 名 三菱電機株式会社